第 51 卷 第 10 期：5317-5328 高电压技术 Vol.51, No.10: 5317-5328
2025 年 10 月 31 日 High Voltage Engineering October 31, 2025
DOI: 10.13336/j.1003-6520.hve.20250039

不对称布局下 SiC MOSFET 并联动态电流均衡芯片分选方法

李 毅[1]，罗 茜[1]，赵 斌[2]，孙 鹏[1]，赵志斌[1]，程 旭[3]
（1. 新能源电力系统全国重点实验室(华北电力大学)，北京 102206；2. 国网北京电科院，北京 100075；
3. 广东电网有限责任公司珠海供电局，珠海 519000）

摘 要：SiC MOSFET 凭借其优异的性能，在高压电能变换领域有着广泛的应用前景。然而，在大电流等级下采用并联应用时，受电路参数和芯片参数差异的影响，并联芯片间存在电流分配不均衡的问题，由此导致并联芯片的结温差异，严重情况下引发可靠性问题并导致并联芯片失效。为了抑制并联芯片间的不均衡电流，该文首先分析了不对称布局下的并联芯片的动态电流分布特性，并建立了并联芯片电流分布与阈值电压之间的关联关系。然后，提出了一种 SiC MOSFET 多芯片并联动态电流均衡芯片分选方法，利用芯片阈值电压的分散性进行芯片分组，形成对不对称布局电路参数的补偿，从而减小并联芯片动态电流不均衡。最后，通过实验对所提方法进行了验证，结果表明采用所提分选方法可以显著提升并联 SiC MOSFET 的电流均衡特性。
关键词：碳化硅 MOSFET；动态电流分配；阈值电压；不对称布局；电流均衡

Chip Sorting Method for Dynamic Current Balancing of Paralleled SiC MOSFET Under Asymmetric Layouts

LI Yi[1], LUO Xi[1], ZHAO Bin[2], SUN Peng[1], ZHAO Zhibin[1], CHENG Xu[3]
(1. State Key Laboratory of Alternate Electrical Power System with Renewable Energy Sources(North China Electric Power University), Beijing 102206, China;
2. State Grid Beijing Electric Power Research Institute, Beijing 100075, China;
3. Guangdong Power Grid Zhuhai Power Supply Bureau, Zhuhai 519000, China)

Abstract：Silicon carbide (SiC) MOSFETs, with their superior performance, have broad application prospects in high-voltage power conversion fields. However, when employed in parallel configurations under high current conditions, differences in circuit parameters and chip characteristics may result in current imbalance among the parallel chips. This imbalance leads to junction temperature variations, which may cause reliability issues and, in severe cases, lead to failure of the parallel chips. To mitigate the current imbalance among parallel chips, this paper first analyzes the dynamic current distribution characteristics of parallel chips under asymmetric layouts and establishes the correlation between current distribution and threshold voltage. Subsequently, a dynamic current balancing chip sorting method for paralleled SiC MOSFETs is proposed. This method utilizes the dispersion in chip threshold voltages to group the chips, thereby compensating for the asymmetry in circuit parameters and reducing dynamic current imbalance. Finally, experimental validation is conducted, and the results demonstrate that the proposed sorting method can be adopted to significantly improve the current balancing performance of paralleled SiC MOSFETs.
Key words：SiC MOSFET; dynamic current distribution; threshold voltage; asymmetric layout; current balancing

0 引言

硅基(Si)材料由于其固有的材料特性，难以满足日益增长的高电压、高温应用需求[1]。近年来，碳化硅(SiC)作为一种宽禁带半导体材料，因其在高电压和高温环境下表现出的优异特性，逐渐取代了传统的 Si 材料。SiC 具备更高的击穿电场和更宽的禁带宽度，使其能够在更高的电压和温度下稳定工作，从而成为高压电力电子领域的重要选择[2-6]。此外，SiC 材料的高热导性和低导通损耗使其在功率

基金资助项目：南方电网公司科技项目(GDKJXM20231031)。
Project supported by Science and Technology Project of China Southern Power Grid(GDKJXM20231031).

密度和效率上具有显著优势，因此在电动汽车、电力传输、航天及工业设备中得到广泛应用。然而，单颗 SiC MOSFET 的电流承载能力较低，一般在 150 A 以下，无法满足大功率、高电压系统的需求。在实际应用中，通常将多个 SiC MOSFET 芯片并联，以提升电流承载能力。但由于电路和芯片之间的差异，导致并联芯片间的电流分配不均衡，严重时可能导致某些芯片因过流而发生失效[7-10]。

同时在 SiC MOSFET 并联应用中，存在各并联芯片之间的不均流问题，而不均流又分为稳态不均流和暂态不均流，稳态均流通常可以通过导通电阻的正温度系数进行自调节。当芯片温度升高时，导通电阻增大，导致电流分配趋向均衡，因此稳态电流分配通常能够自然而然地实现一定的平衡。在高频、高速开关或瞬态负载变化的情况下，芯片间的电流不均衡会加剧，导致较大的瞬态温升，甚至引发芯片的过热或失效。因此本文关注的是暂态不均流部分。

碳化硅 MOSFET 电流分布不均衡问题，主要可以分为由驱动参数不匹配、电路寄生参数差异、芯片参数分散性导致的[11]。针对这一挑战，已经开展了诸多研究。针对驱动参数不匹配问题，华中科技大学孙晖等人提出了一种抑制串扰的驱动电路。该方法通过在驱动电路中引入补偿电路和优化门极驱动设计，有效减少了各并联芯片间的寄生参数差异，从而改善电流分配不均的问题[12]。清华大学张瑜等人提出了基于动态栅极电阻的主动均流方法，通过实时监测各并联芯片的电流，并根据电流分配情况动态调整各芯片的栅极电阻，以此平衡电流分布，显著提高了并联 SiC MOSFET 的均流效果[13]。针对电路参数不平衡问题，华北电力大学的黄华震等人提出通过控制变量法研究寄生电感不匹配对并联 SiC MOSFET 电流分配的影响。研究发现，通过在并联支路中引入不同的寄生电感，可以显著影响并联芯片的动态和稳态电流分配。具体来说，源极电感的不匹配会导致动态电流的环流效应，而漏极电感的不匹配则会影响芯片的开关速度，进而导致电流过冲现象[14]。重庆大学的邵伟华等人分析了 3 种典型不对称布局的动态电流分配情况，研究结果表明功率模块电路布局不对称度越大，寄生电感差异越大，动态不均衡电流越大[15]。针对芯片参数不匹配问题，华北电力大学的孙鹏等人提出通过优化芯片参数来改善并联 SiC MOSFET 的均流效果，通过使用开关能量均衡的并联 SiC MOSFET 芯片，可以有效减少电流不均现象，提高整体电流分配的均衡性[9]。华北电力大学赵斌等人提出了一种在对称电路布局下基于芯片参数进行调控的方法，通过筛选芯片的跨导和阈值电压来抑制动态电流的不均衡[16]。尽管现有研究在改善并联 SiC MOSFET 电流分布不均衡方面取得进展，但大多仅适用于对称电路布局，难以在不对称电路中实现稳定的均流效果，未能有效地结合芯片参数与电路参数进行协同优化。

针对现有研究存在的问题，本文在前人研究基础上，深入研究了不对称布局下寄生电感不匹配对动态均流的影响，从而利用芯片参数差异来补偿动态电流的不均衡。实际应用中，首先，阈值电压作为 MOSFET 器件的关键参数之一，直接影响 SiC MOSFET 的开关状态，进而决定动态均流过程中的电流分配；其次，阈值电压的测量过程简便、数据获取效率高，基于阈值电压进行芯片分选简便高效，适合大规模应用，并且具有实际的物理意义，可以与并联电流分配建立直接的关联关系。相比之下，转移曲线的测试数据点众多，对于大规模芯片而言，数据存储和处理面临较大的挑战。因此本文选择阈值电压作为动态均流调控的关键参数。下文针对不对称电路布局，建立了 SiC MOSFET 多芯片并联等效电路模型，通过该模型详细分析了多颗芯片并联时电流的分布情况，并建立了电路电流分布与芯片阈值电压间的关联关系，并提出了基于芯片阈值电压差异来补偿电路寄生参数差异的芯片分选方法，最后基于此方法搭建实验平台，对本文所提方法进行了实验验证。

1 不对称布局下并联 SiC MOSFET 动态电流分布

1.1 芯片的参数差异分布

即使是同一批生产的 SiC MOSFET 芯片，其芯片参数仍然会存在显著差异，如阈值电压、导通电阻等。这些差异主要来源于制造工艺的不成熟和固有的制造公差。

碳化硅 MOSFET 的阈值电压[17]可以表示为：

$$U_{\mathrm{th}}=\frac{\sqrt{4\varepsilon_{\mathrm{s}}kTN_{\mathrm{A}}\ln\left(N_{\mathrm{A}}/n_{\mathrm{i}}\right)}}{C_{\mathrm{OX}}}+\frac{2kT}{q}\ln\left(\frac{N_{\mathrm{A}}}{n_{\mathrm{i}}}\right)-\frac{Q_{\mathrm{OX}}}{C_{\mathrm{OX}}} \tag{1}$$

式中：ε_{s} 为介电常数；k 为玻耳兹曼常数；T 为绝对温度；N_{A} 为掺杂浓度；n_{i} 为本征载流子浓度；C_{OX} 为氧化物的比电容；q 为单位电荷；Q_{OX} 为氧化物

的总有效电荷。由式(1)可知，芯片的阈值电压受掺杂浓度、氧化层电容、氧化层中的总有效电荷等制造参数影响。

在实际应用中，阈值电压的分散性(即参数的变异性)是 SiC MOSFET 芯片均流不均衡的主要原因之一。极差(D_{ra})、相对极差(D_{rra})和变异系数(D_{cv})可以用来评价阈值电压、跨导和导通电阻的分散性，如式(2)、(3)、(4)所示。极差和相对极差能够反映数据的分布范围，变异系数可以用来反映标准差占均值的比例，反映数据的离散程度，可以消除数据均值和量纲的影响。本文只考虑暂态均流，因此关于芯片参数的分散性，只考虑阈值电压和跨导，不考虑导通电阻。由有关研究可知[18]，同一批次 SiC MOSFET 芯片的阈值电压极差为 0.97 V，相对极差为 28.4%，变异系数可达到 8.6%。

$$D_{ra}=x_{max}-x_{min} \tag{2}$$

$$D_{rra}=\frac{x_{max}-x_{min}}{\frac{1}{n}\sum_{i=1}^{n}x_i} \tag{3}$$

$$D_{cv}=\frac{\sqrt{\frac{1}{n-1}\left(\sum_{j=1}^{n}\left(x_j-\frac{1}{n}\sum_{i=1}^{n}x_i\right)^2\right)}}{\frac{1}{n}\sum_{i=1}^{n}x_i} \tag{4}$$

式中：x_{max} 和 x_{min} 分别为样本中测量数据的最大值和最小值；x_i 和 x_j 分别为第 i、j 个芯片参数的测量值；n 为测量样本的总数。

跨导是描述 MOSFET 芯片栅源电压变化引起的漏极电流变化能力的参数。跨导的分散性同样会影响并联 SiC MOSFET 芯片的均流特性。跨导的表达式为：

$$g_{fs}=\frac{\mu_{ni}C_{OX}z}{l_{ch}}\left(U_{gs}-U_{th}\right) \tag{5}$$

式中：μ_{ni} 为电子的反型层迁移率；z 为沟道宽度；l_{ch} 为沟道长度；U_{gs} 为栅源极电压。

由式(5)可知，跨导受氧化层电容、沟道长度、沟道宽度等制造参数影响。跨导的分散性虽然相对较小，但在某些情况下仍需考虑，有相关研究显示[19]，其极差为 2.72 S，相对极差为 20.66%，变异系数约为 4.51%。

针对本次实验选用的 15 个芯片，使用功率分析仪 B1505 A 测量每个芯片的阈值电压，分布情况如图 1 所示。

由式(2)、(3)、(4)可得，该批 SiC MOSFET 芯片的阈值电压极差为 0.628 V，相对极差为 21.22%，变异系数为 7.01%。

在均流实验中，SiC MOSFET 芯片的参数如阈值电压和跨导的分散性对并联芯片的动态电流均衡均存在影响。但由上述芯片参数分散性实验数据可知，阈值电压相比其他参数的变异系数更大[20]，表明在不同芯片间阈值电压的差异更加显著，因此本文将分散性更大的阈值电压作为关键参数进行调控，进而改善 SiC MOSFET 芯片的动态均流特性。例如，在电路对称布局情况下，当阈值电压不一致时，阈值电压低的芯片会承受更高的电流和开关损耗，进而导致热失控。因此，筛选和匹配芯片参数是实现并联 SiC MOSFET 均流的关键步骤，本文针对阈值电压这一显著因素进行筛选。

1.2　并联 SiC MOSFET 动态电流分布

SiC 功率模块具有多种电路布局，就芯片的排列方式而言，主要有“一字形”排列和“品字形”排列 2 种方式，如图 2 所示。其中“一字形”排列时漏极和功率源极位于一侧时并联芯片的动态电流分布差异更为严重[17,21]。

基于此，以并联芯片的漏极和功率源极汇合点位于一侧来说明。当功率模块电源汇合点在一侧时，以 3 颗芯片并联为例说明，等效电路如图 3 所示。芯片 Q1—Q3 的阈值电压分别为 U_{th1}、U_{th2}、U_{th3}，源极寄生电感分别为 L_{s1}、L_{s2}、L_{s3}，漏极电流分别为 i_{d1}、i_{d2}、i_{d3}，Q1 与 Q2 之间公共源极寄生电感为

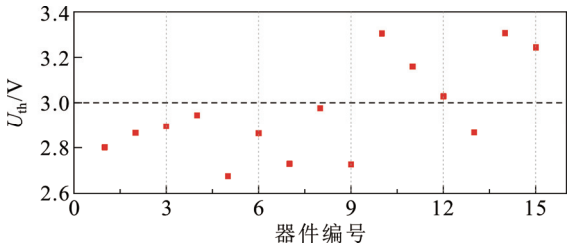
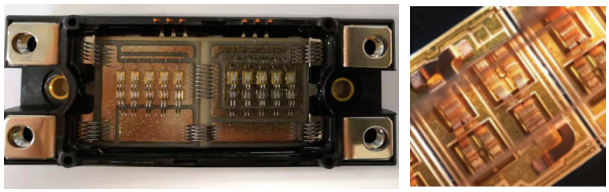


图 1　芯片阈值电压分布情况

Fig.1　Distribution of chip threshold voltage



(a) 一字型　　(b) 品字型

图 2　SiC 功率模块芯片布局示意图

Fig.2　Schematic diagram of SiC power module chip layout

L_{cs1}，Q2 与 Q3 之间公共源极寄生电感为 L_{cs2}。3 个 SiC MOSFET 芯片的栅极驱动电压 U_G 是相同的。

源极寄生电感和公共源极电感引起的电压降为：

$$\begin{bmatrix} U_{Ls1} \\ U_{Ls2} \\ U_{Ls3} \end{bmatrix} = \begin{bmatrix} L_{s1} & 0 & 0 \\ 0 & L_{s2}+L_{cs1} & L_{cs1} \\ 0 & L_{cs1} & L_{s3}+L_{cs2} \end{bmatrix} \begin{bmatrix} \dfrac{di_{d1}}{dt} \\ \dfrac{di_{d2}}{dt} \\ \dfrac{di_{d3}}{dt} \end{bmatrix} \tag{6}$$

以二次曲线近似漏极电流表达式，每个 MOSFET 的漏极电流表达式为：

$$\begin{cases} i_{d1} = K(U_{gs} - U_{th1} - U_{Ls1})^2 \\ i_{d2} = K(U_{gs} - U_{th2} - U_{Ls2})^2 \\ i_{d3} = K(U_{gs} - U_{th3} - U_{Ls3})^2 \end{cases} \tag{7}$$

式中：K 与跨导 g_{fs} 有关[22]，由第 1.1 节可知跨导的变异系数较小，后续不再考虑跨导的差异，因此 K 默认为常数。

将式(6)代入式(7)，整理可得：

$$\begin{cases} i_{d1} = K(U_{gs} - U_{th1} - L_{s1}\dfrac{di_{d1}}{dt})^2 \\ i_{d2} = K(U_{gs} - U_{th2} - (L_1\dfrac{di_{d2}}{dt} + L_{cs1}\dfrac{di_{d3}}{dt}))^2 \\ i_{d3} = K(U_{gs} - U_{th3} - (L_{cs1}\dfrac{di_{d2}}{dt} + L_2\dfrac{di_{d3}}{dt}))^2 \end{cases} \tag{8}$$

式中：$L_1=L_{s2}+L_{cs1}$；$L_2=L_{s3}+L_{cs1}+L_{cs2}$。

同时假设 $L_{s1}=L_{s2}=L_{s3}=L_s$、$L_{cs1}=L_{cs2}=L_{cs}$，开关瞬态每个 SiC MOSFET 的电流变化率是接近的，即 $di_{d1}/dt=di_{d2}/dt=di_{d3}/dt=di_d/dt$，可得：

$$\begin{cases} i_{d1} = K(U_{gs} - U_{th1} - L_s\dfrac{di_d}{dt})^2 \\ i_{d2} = K(U_{gs} - U_{th2} - (L_s+2L_{cs})\dfrac{di_d}{dt})^2 \\ i_{d3} = K(U_{gs} - U_{th3} - (L_s+3L_{cs})\dfrac{di_d}{dt})^2 \end{cases} \tag{9}$$

假设每个芯片的阈值电压一致，即 $U_{th1}=U_{th2}=U_{th3}=U_{th}$，每个芯片的漏极电流可以表示为：

$$\begin{cases} i_{d1} = K(U_{gs} - U_{th} - L_s\dfrac{di_d}{dt})^2 \\ i_{d2} = K(U_{gs} - U_{th} - (L_s+2L_{cs})\dfrac{di_d}{dt})^2 \\ i_{d3} = K(U_{gs} - U_{th} - (L_s+3L_{cs})\dfrac{di_d}{dt})^2 \end{cases} \tag{10}$$

由于 $L_s+3L_s>L_s+2L_{cs}>L_s$，因此 $i_{d1}>i_{d2}>i_{d3}$，进而可以看出当电路布局不对称时，针对汇流点在一侧的情况，芯片 Q1 的支路电流路径最短，相比另外 2 颗芯片其电流更大，同理芯片 Q2 的电流大于芯片 Q3 的电流，因此会产生不均流的问题，严重情况下会导致模块失效。

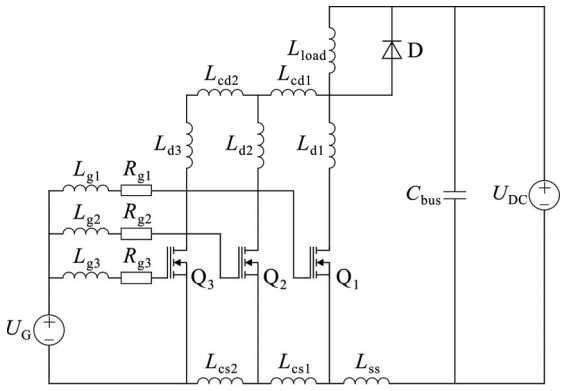


图 3 SiC MOSFET 多芯片并联等效电路

Fig.3 SiC MOSFET multi-chip parallel equivalent circuit

为了使 3 个芯片的电流分布更加均衡，通过芯片筛选来控制 3 颗芯片的参数，本文通过调控芯片阈值电压来解决不对称布局下的不均流问题。为了使电流均衡，并联芯片的驱动回路需要满足以下关系：

$$\begin{aligned} &U_{gs} - U_{th1} - L_s\frac{di_d}{dt} \approx U_{gs} - U_{th2} - (L_s+2L_{cs})\frac{di_d}{dt} \approx \\ &U_{gs} - U_{th3} - (L_s+3L_{cs})\frac{di_d}{dt} \end{aligned} \tag{11}$$

简化后可得：

$$\begin{cases} U_{th1} \approx U_{th2} + 2L_{cs}\dfrac{di_d}{dt} \\ U_{th2} \approx U_{th3} + L_{cs}\dfrac{di_d}{dt} \end{cases} \tag{12}$$

由式(12)可以推导出：

$$\begin{cases} U_{th1} \approx U_{th3} + 3L_{cs}\dfrac{di_d}{dt} \\ U_{th2} \approx U_{th3} + L_{cs}\dfrac{di_d}{dt} \end{cases} \tag{13}$$

由式(13)可以看出，为了保证 3 个芯片的电流更加接近，可以调整 3 个芯片的阈值电压满足以上关系，即 $U_{th1}>U_{th2}>U_{th3}$，在这种情况下，阈值电压的调整可以补偿由于不同寄生电感引起的不均衡电流，从而实现 3 颗芯片更好的均流。

2 不对称布局下阈值电压的芯片分选方法

假设共有 N 颗芯片，第 1 步，对所有芯片按照阈值电压从小到大依次排序，分别为 1~N。

第 2 步，对功率模块建模，分析其内部并联芯片的电流分布。根据采用的功率模块的内部结构对其电路拓扑进行建模，不考虑芯片参数差异时分析并联支路的电流分布特性，根据每条支路的电流分

布大小对支路进行排序和命名，支路电流最小的排为 1 号，然后根据支路电流大小进行升序，假设有 m 条支路，支路电流最大的命名为 m 支路。

第 3 步，对芯片进行分组。如果有 N 颗芯片可以用 m 条支路，则可以封装出 k 个模块，其中 $k=N/m$。按照第 1 步芯片参数由小到大的排序，依次取 k 颗芯片放入 m 条支路。即 1—k 号芯片应用在支路 1，第 k+1—2k 号芯片应用在支路 2，以此类推，第 (m−1)k+1—mk 号芯片应用在支路 m。

第 4 步，封装成 k 个模块。模块 1 取每组中芯片排序最小的芯片，模块 2 取每组中芯片排序次小的芯片，以此类推，模块 k 取每组中芯片排序最大的芯片。这样封装出来的 k 个模块均利用的芯片参数与封装参数匹配，考虑的是整体调节效果。基于阈值电压补偿的分选方法流程图如图 4 所示。

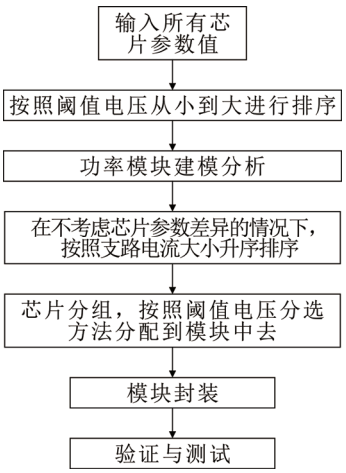


图 4　分选算法流程

Fig.4　Flow of the sorting algorithm

3　实验验证

3.1　双脉冲实验测试平台搭建

为了验证不对称布局下采用阈值电压分选实现芯片并联的芯片电流均衡的有效性，设计并搭建了一个双脉冲测试平台，如附录 A 图 A1(a)、A1(b)所示。实验平台采用带宽为 500 MHz 的示波器及其配套的无源探头进行信号采集，电流测量使用带宽为 120 MHz 的皮尔森电流传感器。并联芯片采用上文芯片参数统计的 15 颗芯片。此外，负载电感 L_{load} 为 125 μH，以满足实验中的电流和电压需求。

为了排除因测量仪器不同而产生的误差，在进行均流实验之前，首先对皮尔森电流传感器进行一致性测试，即使用 3 个皮尔森电流传感器同时测试同一芯片的漏极电流，观察其波形。实验结果如图 5 所示，可以看出 3 个设备测试的电流基本相同，证明皮尔森线圈一致性较好。

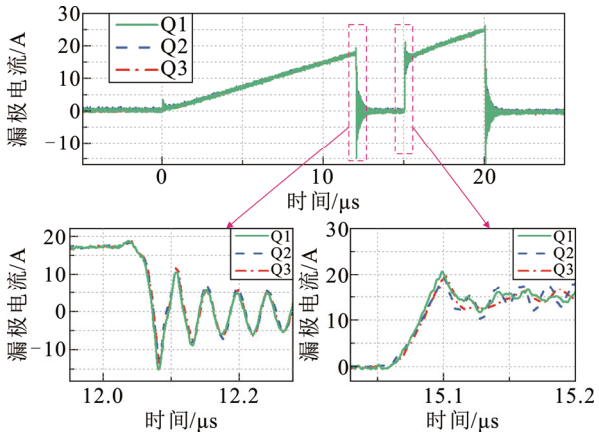


图 5　皮尔森线圈一致性测试

Fig.5　Pearson coil consistency test

3.2　芯片筛选

为保证依靠筛选芯片参数来使电流达到均衡，同时防止单次实验的偶然性，双脉冲实验针对基于阈值电压一致和基于阈值电压补偿 2 种方法对同一批次 15 个芯片进行筛选，每组实验选取 3 个芯片进行并联做双脉冲实验，共 5 组实验。本次实验采用的 15 颗芯片阈值电压如表 1 所示。

表 1　芯片阈值电压

Table 1　Chip threshold voltage

编号	阈值电压/V	编号	阈值电压/V
1	2.802	9	2.727
2	2.865	10	3.303
3	2.895	11	3.158
4	2.945	12	3.028
5	2.676	13	2.867
6	2.864	14	3.304
7	2.730	15	3.242
8	2.976		

由表 1 可知，实验中不同芯片的阈值电压存在一定差异。进一步分析表明，这种差异会显著影响并联电流的均衡性。由于阈值电压直接决定了 MOSFET 的开关特性，阈值电压较低的芯片更早导通，分配电流较大；而阈值电压较高的芯片导通滞后，分配电流较小，因此这种差异会导致并联运行时电流分配不均。为提升并联均流效果，本节依据芯片阈值电压的分散性，结合不同分选方法对芯片进行了分组。

首先针对基于阈值电压一致的方法进行筛选，

将所有芯片的阈值电压从小到大依次进行排序，阈值电压最小的 3 个芯片作为参照组的第 1 组，阈值电压次小的 3 个芯片作为参照组的第 2 组，以此类推，参照组的 5 组均按照此方法进行分组，见表 2。

然后针对基于阈值电压补偿的方法进行筛选，将所有芯片的阈值电压从小到大依次进行排序，阈值电压最小的 5 个芯片为 A 组，阈值电压次小的 5 个芯片为 B 组，阈值电压最大的 5 个芯片为 C 组。实验组 1 选取 A 组中第 1 个芯片、B 组中第 1 个芯片、C 组中第 1 个芯片。实验组 2 选取 A 组中第 2 个芯片、B 组中第 2 个芯片、C 组中第 2 个芯片。同理，这 5 组均按照此方法进行分组，如表 3 所示。

3.3 双脉冲实验结果分析

为了方便评估碳化硅 MOSFET 并联电流分配不均衡程度，本文定义最大电流绝对差异 Δi_{dmax} 和最大电流不均衡度 δ_{dmax}，其计算式分别为：

$$\Delta i_{\mathrm{dmax}} = | i_{\mathrm{d1max}} - i_{\mathrm{d2max}} | \tag{14}$$

$$\delta_{\mathrm{dmax}} = \frac{2 | i_{\mathrm{d1max}} - i_{\mathrm{d2max}} |}{i_{\mathrm{d1max}} + i_{\mathrm{d2max}}} \tag{15}$$

式中：i_{d1max} 和 i_{d2max} 分别为并联 2 个芯片在第 2 次开通时达到第 1 个波峰时的漏源极电流值。

在 25 ℃室温条件下，按照基于阈值电压一致方法分选的分组进行双脉冲实验，实验结果如图 6 所示。

在 25 ℃室温条件下，按照基于阈值电压补偿的分选方法进行分组并开展双脉冲实验，实验结果如图 7 所示。同时，图 8 展示了 2 种方法在 25 ℃下的对比实验结果。

表 2 基于阈值电压一致的分组

Table 2 Grouping based on threshold voltage consistency

实验分组	Q1	Q2	Q3
1	7 号	9 号	5 号
2	2 号	6 号	1 号
3	4 号	3 号	13 号
4	11 号	12 号	8 号
5	14 号	10 号	15 号

表 3 基于阈值电压补偿的分组

Table 3 Grouping based on threshold voltage compensation

实验分组	Q1	Q2	Q3
1	12 号	2 号	5 号
2	11 号	13 号	9 号
3	15 号	3 号	7 号
4	10 号	4 号	1 号
5	14 号	8 号	6 号

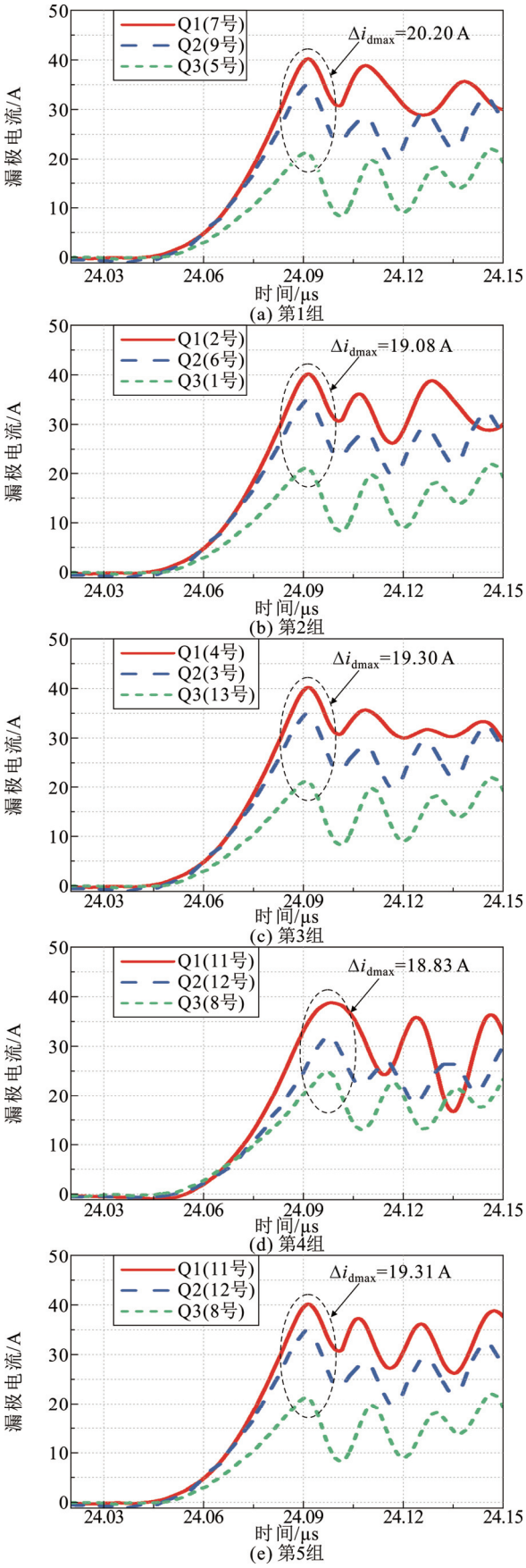


图 6 25 ℃下基于阈值电压一致的双脉冲实验结果

Fig.6 Double-pulse test results at 25 ℃ based on threshold voltage consistency

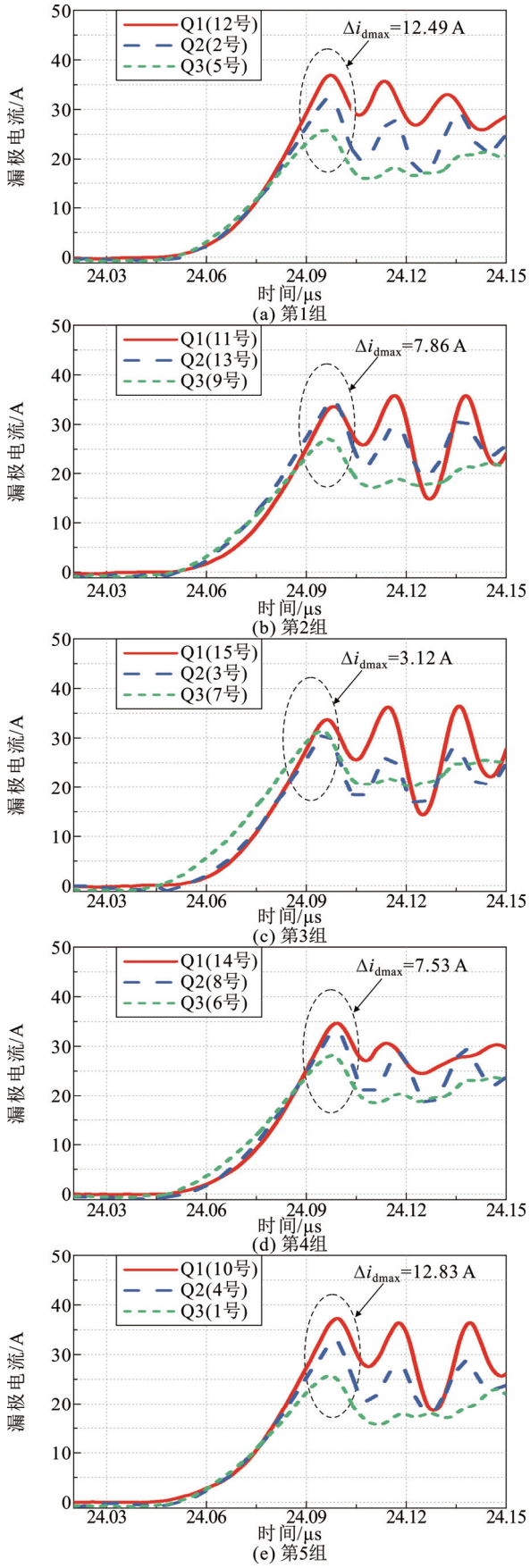


图 7　25 ℃下基于阈值电压补偿的双脉冲实验结果

Fig.7　Double-pulse experimental results at 25 ℃ based on threshold voltage compensation

可以看出按照传统方法，3 个芯片的阈值电压虽然大致相同，但由于布局不均衡，各条支路上寄生参数大小相差较大，并联芯片的电流分配不均衡，基于阈值电压一致方法的 5 组最大动态电流不平衡分别为 20.20、19.08、19.30、18.83、19.31 A，最大动态电流不均衡度分别为 64.43%、61.15%、60.35%、57.94%、61.44%。与基于阈值电压一致方法的实验分组作对照，可以看出基于阈值电压补偿方法的实验组的最大不平衡电流明显降低，分别为 12.49、7.86、3.12、7.53、12.83 A，最大电流不均衡度分别为 39.65%、24.95%、9.75%、23.86%、40.44%，不均流现象得到了明显改善。同时，5 组实验芯片的总最大动态不均衡电流从 96.72 A 降至 43.83 A。

同时为进一步验证该方法的有效性，在 125 ℃的环境条件下，基于前述实验分组重新进行了双脉冲实验，采用基于阈值电压一致分组方法的实验分组实验结果如图 9 所示。

125 ℃下，采用基于阈值电压补偿分选方法的实验分组双脉冲实验结果如图 10 所示。同时，图 11 展示了 2 种方法在 125 ℃下的对比实验结果。

在 125 ℃实验条件下，基于阈值电压一致筛选方法的 5 组最大动态电流不平衡分别为 19.28、16.16、16.04、18.79、19.89 A，最大动态电流不均衡度分别为 62.53%、50.23%、48.89%、46.75%、60.47%。而基于阈值电压补偿方法的实验组，最大不平衡电流分别为 12.12、11.42、8.43、3.30、6.95 A，最大电流不均衡度分别为 37.32%、42.23%、27.15%、10.43%、23.21%，5 组实验芯片的总最大动态不均

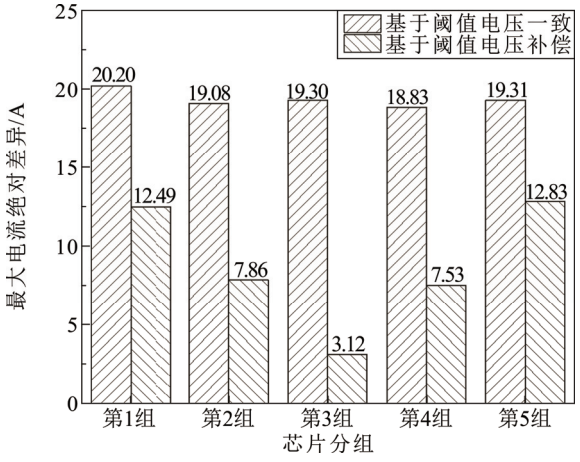


图 8　25 ℃下并联芯片的最大动态不平衡电流比较

Fig.8　Comparison of maximum dynamic imbalanced currents in parallel chips at 25 ℃

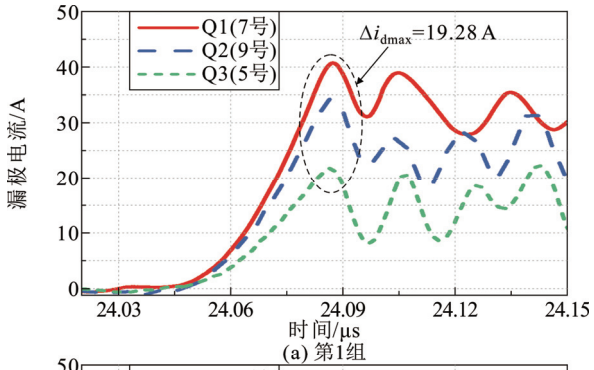


图 9 125 ℃下基于阈值电压一致的双脉冲实验结果

Fig.9 Double-pulse test results at 125 ℃ based on threshold voltage consistency

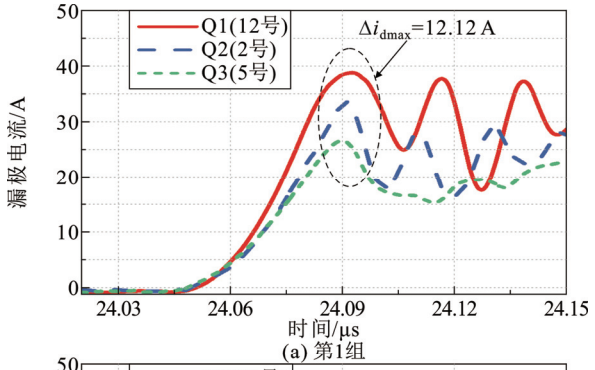


图 10 125 ℃下基于阈值电压补偿的双脉冲实验结果

Fig.10 Double-pulse experimental results at 125 ℃ with threshold voltage compensation

衡电流从 90.16 A 降至 42.22 A。同样在 125 ℃条件下，均流效果也得到了明显的提升。

3.4　Buck 实验平台搭建

后续搭建了 Buck 实验平台，如附录 A 图 A2(a)、A2(b)所示。电流测量选用罗氏线圈， SiC MOSFET 芯片与双脉冲测试对象一致，冷却风机选用干式变压器冷却风机，负载电阻选用 1 Ω，负载电感 L_{load} 为 1 mH。

3.5　Buck 实验结果分析

后续分别对基于阈值电压一致分选的分组和基于阈值电压补偿分选的分组进行 Buck 实验，模拟了连续工况下的情景，实验结果如图 12 所示。

基于阈值电压一致和基于阈值电压补偿的分组实验结果分别如图 13、14 所示，其中图(a)为基于阈值电压一致的并联芯片动态均流波形图，图(b)为基于阈值电压补偿的并联芯片动态均流波形图。

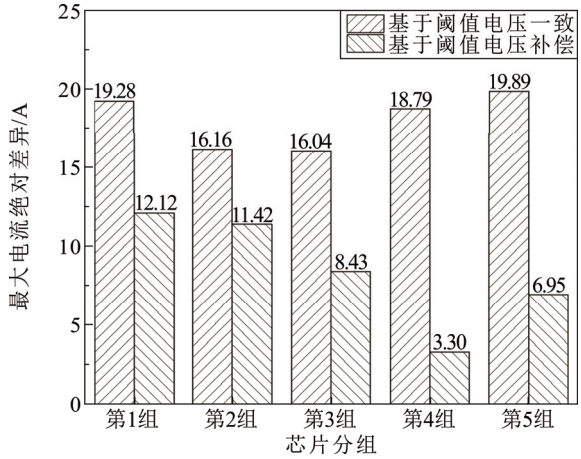


图 11　125 ℃下并联芯片的最大动态不平衡电流比较结果

Fig.11　Comparison of maximum dynamic imbalanced currents in parallel chips at 125 ℃

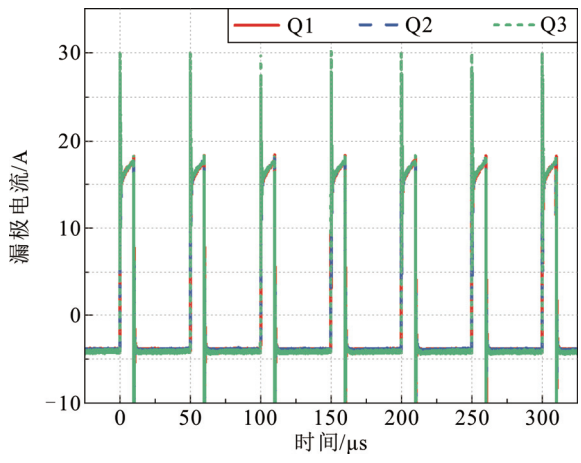


图 12　连续工况下的情景

Fig.12　Scenario under continuous operating conditions

Buck 实验在开通阶段，基于阈值电压一致筛选的实验分组最大动态电流不平衡为 14.56 A，最大动态电流不均衡度为 54.46%，电流分配不均较为严

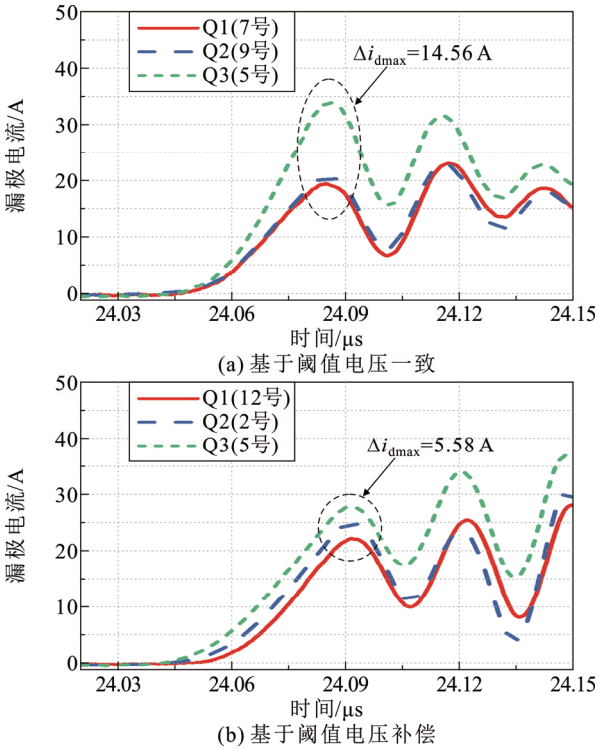


图 13　Buck 实验开通阶段的漏极电流

Fig.13　Drain current in the Buck experiment turn-on stage

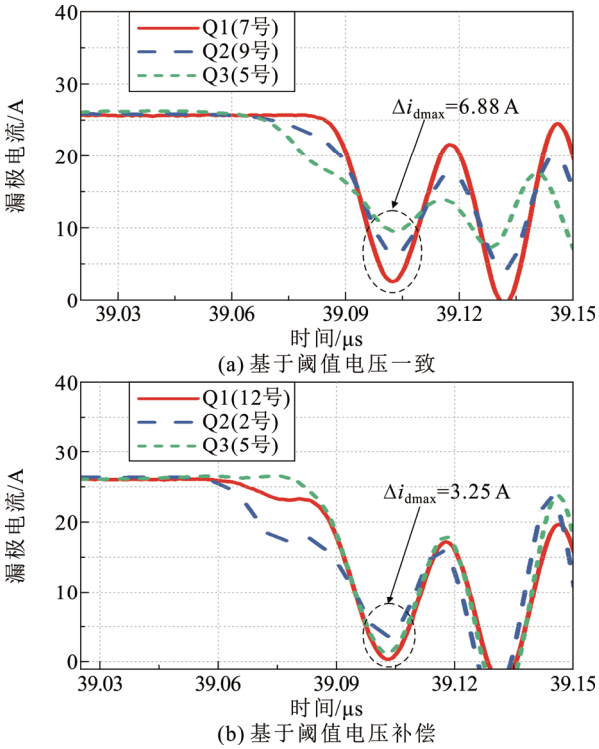


图 14　Buck 实验关断阶段的漏极电流

Fig.14　Drain current in the Buck experiment turn-off stage

重。而基于阈值电压补偿筛选的实验分组最大动态电流不平衡为 5.58 A，最大动态电流不均衡度为19.37%，不均流现象也得到了明显改善。同样，在关断阶段，基于阈值电压一致筛选的实验分组最大动态电流不平衡为 6.88 A，而基于阈值电压补偿筛选的实验分组最大动态电流不平衡为 3.25 A，动态电流也更加均衡。

4 结论

1）本文以 3 个 SiC MOSFET 芯片并联为例，围绕不对称布局下 SiC MOSFET 并联动态电流分配不均衡问题，通过理论分析得到 3 个并联芯片的动态电流分布，建立了电流分布与阈值电压之间的关联关系，并提出了利用芯片阈值电压差异进行芯片筛选和分组的方法，以减小芯片并联时的动态电流不均衡，为实现模块级电流均衡控制提供了有效的理论支撑。

2）通过分析双脉冲实验结果，基于阈值电压补偿的分选方法在改善并联 SiC MOSFET 动态电流均衡方面表现出显著效果。在 25 ℃环境条件下，采用基于阈值电压一致的分选方法时，5 组的最大动态电流不均衡分别为 20.20、19.08、19.30、18.83、19.31 A；而在采用基于阈值电压补偿分选方法后，5 组的最大动态电流不均衡分别降低至 12.49、7.86、3.12、7.53、12.83 A。在 125 ℃环境条件下，采用基于阈值电压一致的分选方法时，5 组的最大动态电流不均衡分别为 19.28、16.16、16.04、18.79、19.89 A；而在采用基于阈值电压补偿的分选方法后，5 组的最大动态电流不均衡分别降低至 12.12、11.42、8.43、3.30、6.95 A，进一步验证了该方法在不同温度下的适用性与有效性。

3）通过 Buck 实验进一步验证了所提方法在连续工况下的有效性。在芯片开通阶段，基于阈值电压一致方法分选的分组最大动态电流不平衡为 14.56 A，最大动态电流不均衡度高达 54.46%，表现出严重的电流分配不均现象；而采用基于阈值电压补偿的分选方法后，最大动态电流不平衡降至 5.58 A，最大动态电流不均衡度显著降低至 19.37%。在芯片关断阶段，基于阈值电压一致分选的实验分组最大动态电流不平衡达到 6.88 A，而通过阈值电压补偿分选的实验分组则将最大动态电流不平衡降低至 3.25 A。整体来看，阈值电压补偿方法有效减小了并联 SiC MOSFET 的动态电流不均衡，显著降低了最大电流不均衡度，且改善效果在各组中均较为显著，展现了良好的整体调控性能。

附录见本刊网络版(http://hve.epri.sgcc.com.cn)。

参考文献 References

[1] 盛 况，郭 清，张军明，等. 碳化硅电力电子器件在电力系统的应用展望[J]. 中国电机工程学报，2012，32(30)：1-7.
SHENG Kuang, GUO Qing, ZHANG Junming, et al. Development and prospect of SiC power devices in power grid[J]. Proceedings of the CSEE, 2012, 32(30): 1-7.

[2] 彭娇阳，孙 鹏，张浩然，等. 基于栅极泄漏电流的碳化硅 MOSFET 短路栅源极失效判定方法[J]. 高电压技术，2022，48(6)：2391-2400.
PENG Jiaoyang, SUN Peng, ZHANG Haoran, et al. Determination method for short-circuit gate-source failures of silicon carbide MOSFET based on gate leakage current[J]. High Voltage Engineering, 2022, 48(6): 2391-2400.

[3] 盛 况，任 娜，徐弘毅. 碳化硅功率器件技术综述与展望[J]. 中国电机工程学报，2020，40(6)：1741-1752.
SHENG Kuang, REN Na, XU Hongyi. A recent review on silicon carbide power devices technologies[J]. Proceedings of the CSEE, 2020, 40(6): 1741-1752.

[4] 蔡雨萌，赵志斌，梁 帅，等. 换流回路的寄生参数对碳化硅 MOSFET 开关特性的影响[J]. 高电压技术，2021，47(2)：603-614.
CAI Yumeng, ZHAO Zhibin, LIANG Shuai, et al. Influence of parasitic parameters of commutation path on switching characteristics of silicon carbide MOSFET[J]. High Voltage Engineering, 2021, 47(2): 603-614.

[5] 井开源，林 磊，殷天翔，等. 基于 Si IGBT 和 SiC MOSFET 的飞跨电容 MMC 拓扑及其调制策略[J]. 高电压技术，2022，48(10)：4060-4071.
JING Kaiyuan, LIN Lei, YIN Tianxiang, et al. Flying-capacitor MMC topology combining Si IGBT and SiC MOSFET with its modulation strategy[J]. High Voltage Engineering, 2022, 48(10): 4060-4071.

[6] 李小强，林铭恩，王文杰，等. 抑制 SiC MOSFET 桥臂串扰与栅源电压振荡的推挽式电容辅助电路分析及参数设计方法[J]. 高电压技术，2023，49(1)：226-237.
LI Xiaoqiang, LIN Ming'en, WANG Wenjie, et al. Analysis and parameters design method of push-pull capacitor auxiliary circuit to suppress SiC MOSFET bridge-leg crosstalk and gate-source voltage oscillation[J]. High Voltage Engineering, 2023, 49(1): 226-237.

[7] 张耀辉，李跃波，韩 超，等. 用于高功率电磁脉冲防护的 SiC-TVS 器件设计研制[J]. 高电压技术，2020，46(6)：2114-2121.
ZHANG Yaohui, LI Yuebo, HAN Chao, et al. Design and development of SiC-TVS devices for high power electromagetic pulse protection[J]. High Voltage Engineering, 2020, 46(6): 2114-2121.

[8] 孟 伟，李学宝，张金强，等. 温度对碳化硅器件封装用有机硅弹性体陷阱特性的影响[J]. 高电压技术，2023，49(2)：577-587.
MENG Wei, LI Xuebao, ZHANG Jinqiang, et al. Trap characteristics with their temperature-dependence of silicone elastomer for encapsulation in SiC devices[J]. High Voltage Engineering, 2023, 49(2): 577-587.

[9] 孙 鹏，赵志斌，蔡雨萌，等. 基于开关能量均衡的并联碳化硅 MOSFET 芯片筛选[J]. 中国电机工程学报，2019，39(19)：5613-5623.
SUN Peng, ZHAO Zhibin, CAI Yumeng, et al. Chip screening for parallel silicon carbide MOSFET based on switching energy balancing[J]. Proceedings of the CSEE, 2019, 39(19): 5613-5623.

[10] 王争东，罗 盟，成永红. 高压大功率 IGBT 失效机理和耐高温改

性有机硅灌封材料研究综述[J]. 高电压技术，2023，49(4)：1632-1644.
WANG Zhengdong, LUO Meng, CHENG Yonghong. Review of research on failure mechanism of high voltage and high power IGBT and modified silicone potting materials with high temperature resistance[J]. High Voltage Engineering, 2023, 49(4): 1632-1644.

[11] 赵　斌，柯俊吉，孙　鹏，等. 公共支路阻抗耦合对碳化硅 MOSFET 器件并联电流分配的影响及优化[J]. 中国电机工程学报，2022，42(7)：2638-2649.
ZHAO Bin, KE Junji, SUN Peng, et al. Influence and optimization of common branch impedance coupling on current sharing of paralleled SiC MOSFETs[J]. Proceedings of the CSEE, 2022, 42(7): 2638-2649.

[12] 孙　晖. SiC MOSFET 并联均流及串扰抑制驱动电路的研究[D]. 镇江：江苏科技大学，2023.
SUN Hui. Research on SiC MOSFET parallel current sharing and crosstalk suppression driver circuit[D]. Zhenjiang, China: Jiangsu University of Science and Technology, 2023.

[13] 张　瑜，田鸿昌，文　阳. 基于动态栅极电阻的 SiC MOSFET 主动并联均流方法[J]. 高压电器，2023，59(9)：286-293.
ZHANG Yu, TIAN Hongchang, WEN Yang. Active parallel current sharing method of SiC MOSFET based on dynamic gate resistance[J]. High Voltage Apparatus, 2023, 59(9): 286-293.

[14] 黄华震，柯俊吉，孙　鹏，等. 寄生电感不匹配对 SiC MOSFET 并联电流分配的影响[J]. 半导体技术，2018，43(11)：833-840.
HUANG Huazhen, KE Junji, SUN Peng, et al. Influence of parasitic inductance mismatch on the parallel SiC MOSFETs current distribution[J]. Semiconductor Technology, 2018, 43(11): 833-840.

[15] 邵伟华，冉　立，曾　正，等. 基于优化对称布局的多芯片 SiC 模块动态均流[J]. 中国电机工程学报，2018，38(6)：1826-1836.
SHAO Weihua, RAN Li, ZENG Zheng, et al. Dynamic current sharing of multichip SiC module with optimal symmetric layout[J]. Proceedings of the CSEE, 2018, 38(6): 1826-1836.

[16] ZHAO B, YU Q P, SUN P, et al. Device screening strategy for suppressing current imbalance in parallel-connected SiC MOSFETs[J]. IEEE Transactions on Device and Materials Reliability, 2021, 21(4): 556-568.

[17] 赵　斌. 碳化硅 MOSFET 并联不均衡电流分析及调控方法[D]. 北京：华北电力大学，2022.
ZHAO Bin. Imbalanced current analysis and its suppression strategy of parallel SiC MOSFETs[D]. Beijing, China: North China Electric Power University, 2022.

[18] ZHAO B, KE J J, YU Q P, et al. Effect of common branch impedance coupling and mutual inductance on current sharing of paralleled SiC MOSFETs with different layouts[J]. IET Power Electronics, 2022, 15(1): 43-56.

[19] 乔建申. 碳化硅 MOSFET 并联电流分配影响因素分析及电流均衡方法[D]. 北京：华北电力大学，2024.
QIAO Jianshen. Influencing factors and balancing methods of current distribution for parallelled SiC MOSFETs[D]. Beijing, China: North China Electric Power University, 2024.

[20] 柯俊吉. 碳化硅 MOSFET 芯片并联电气特性及其调控方法研究[D]. 北京：华北电力大学，2020.
KE Junji. Electrical characteristics and its control method of paralleled silicon carbide MOSFET chips[D]. Beijing, China: North China Electric Power University, 2020.

[21] 马建林，王　莉，阮立刚. 基于 SiC MOSFET 的多芯片并联功率模块　不均流研究[J]. 电源学报，2019，17(4)：193-200.
MA Jianlin, WANG Li, RUAN Ligang. Research on current imbalance in paralleling SiC MOSFET multi-chip power modules[J]. Journal of Power Supply, 2019, 17(4): 193-200.

[22] Lundstrom M. Essentials of MOSFETs[EB/OL].[2025-03-25]. https://nanohub. org/courses/MOS/fall2018/asset/29302.



李　毅
2001—，男，硕士生
主要从事高压大功率电力电子器件封装测试方面的研究工作
E-mail: liyi@ncepu.edu.cn

LI Yi

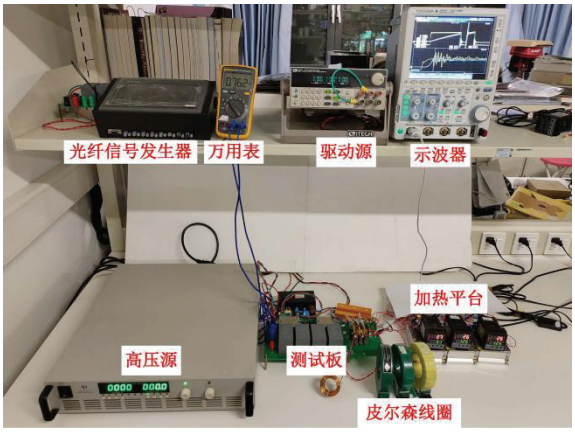


孙　鹏(通信作者)
1994—，男，博士，讲师
主要从事高压大功率电力电子器件封装、测试与状态监测方面的研究工作
E-mail: sunpeng@ncepu.edu.cn

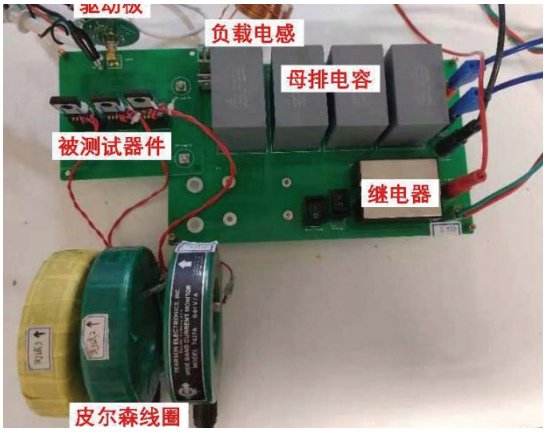
SUN Peng
Ph.D.
Corresponding author

收稿日期　2025-01-08　修回日期　2025-04-24　　编辑　程子丰

附录 A



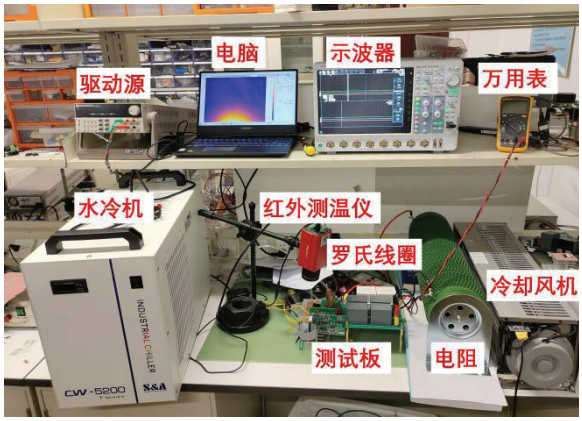
(a) 实验设备



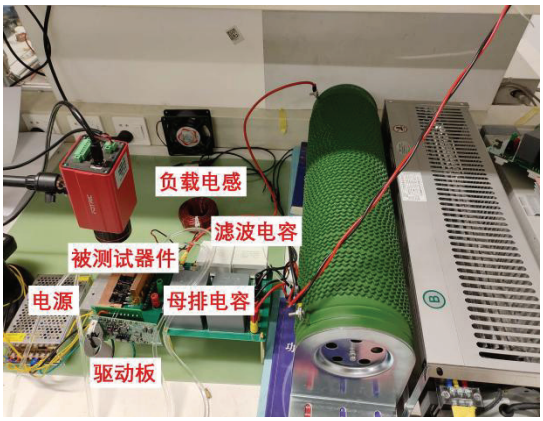
(b) 测试平台

图 A1　双脉冲实验平台

Fig.A1　Double pulse experiment platform



(a) 实验设备



(b) 测试平台

图 A2　Buck 实验平台

Fig.A2　Buck platform test circuit