第 50 卷 第 2 期：634-648 高电压技术 Vol.50, No.2: 634-648
2024 年 2 月 29 日 High Voltage Engineering February 29, 2024
DOI: 10.13336/j.1003-6520.hve.20230604

碳化硅 MOSFET 并联电流分配不均衡影响因素与抑制方法综述

赵志斌[1]，乔建申[1]，孙 鹏[1]，蔡雨萌[1]，赵 斌[2]，魏 宏[3,4]
（1. 新能源电力系统国家重点实验室(华北电力大学)，北京 102206；2. 国网北京电科院，北京 100075；
3. 南瑞集团公司(国网电力科学研究院)有限公司，南京 211000；4. 中电普瑞科技有限公司，北京 102200）

摘 要：碳化硅 MOSFET 凭借其高压、高温和高频等优异性能逐渐在工业中得到应用，然而碳化硅 MOSFET 并联电流分配不均衡问题限制了其性能发挥，并增加失效风险。为了充分发挥碳化硅 MOSFET 的性能优势，本文首先从芯片参数、功率回路参数和驱动回路参数 3 个方面阐述并联电流分配不均衡影响因素，然后综述了近年来国内外抑制并联不均衡电流的研究成果，对电流不均衡抑制方法从电流均衡种类、扩展难度、集成难度和经济成本四个维度进行了综合比较分析。最后，根据现有研究不足与面临挑战，本文对碳化硅 MOSFET 并联电流分配不均衡抑制方法进行展望。

关键词：碳化硅 MOSFET；并联电流；分配不均衡；影响因素；抑制方法

Influencing Factors and Suppression Methods for Current Unbalance of Parallel Silicon Carbide MOSFETs: A Review

ZHAO Zhibin[1],QIAO Jianshen[1], SUN Peng[1], CAI Yumeng[1], ZHAO Bin[2], WEI Hong[3,4]
(1. State Key Laboratory of Alternate Electrical Power System with Renewable Energy Sources,North China Electric Power University, Beijing 102206, China; 2. State Grid Beijing Electric Power Research Institute,Beijing 100075, China; 3. NARI Group Corporation (State Grid Electric Power Research Institute) Co., Ltd., Nanjing 211000, China; 4. China EPRI Science & Technology Co., Ltd., Beijing 102200, China)

Abstract：Silicon carbide MOSFETs have gradually been used in industry due to their excellent properties such as high voltage class, high temperature, and high frequency. However, the current unbalance of parallel SiC MOSFETs limits the performance of SiC MOSFETs and increases the risk of failure. In order to give full play to the performance advantages of SiC MOSFET, this paper expounds the influencing factors of current unbalance from three aspects, namely, chip parameters, power loop parameters, and drive loop parameters, and summarizes the research results of suppressing parallel current unbalance at home and abroad. The current unbalance suppression method is comprehensively compared and analyzed from four dimensions as follows: current balance types, expansion, integration, and cost. Finally, according to the existing deficiencies and challenges, this paper put forward the prospects in the current unbalance suppression method of SiC MOSFET.

Key words：silicon carbide MOSFET; parallel current; unbalanced distribution; influencing factor; suppression method

0 引言

传统的硅(Si)基电力电子器件受限于材料特性逐渐难以满足日益增长的高压、高频和高温应用需求[1]，得益于更大的临界击穿场强、更高的热导率和更快的电子饱和漂移速度，以碳化硅(SiC)为代表的新型宽禁带半导体材料越来越得到研究者们的青睐[2-6]。目前，商业碳化硅 MOSFET 电压等级已达 1700 V，实验室已研制出耐压 15 kV 的芯片样本[7]。凭借耐高压、耐高温和低损耗等优点[8-11]，高压碳化硅 MOSFET 应用前景广泛，已逐步在新能源电力系统、电动汽车和航空航天等行业得到应用[2, 12-16]。

由于制造工艺不够成熟，碳化硅晶圆良品率较低，导致碳化硅芯片有源区面积较小，额定电流一般小于 150 A[17-18]。为了满足大电流等级需求，常采用多个分立器件并联[19]或多芯片并联功率模块[20-25]。相比于硅基芯片，由于生产工艺不成熟，碳化硅 MOSFET 芯片参数分散性更大大[26]，参数失配的碳

基金资助项目：国家电网有限公司科技项目(52094021N012)。
Project supported by Science and Technology Project of SGCC (52094021N012).

化硅 MOSFET 并联应用时将会产生不均衡电流[27-28]。此外，碳化硅 MOSFET 开关频率比硅基芯片更高，振荡更严重，功率回路参数失配与驱动回路参数差异导致的电流不均衡程度更大[29-33]。

电流分配不均衡可能导致碳化硅 MOSFET 芯片承受的电流超出额定值，增大过流失效风险，因此芯片需要被迫降额使用[34-36]。电流的差异会造成开关损耗和通态损耗不均衡[36]，进而导致结温差异，结温过高芯片将加速老化甚至发生热失效[34]。开关瞬态电流的分配不均衡导致电流变化率 di/dt 存在差异，造成开通阶段电流过冲失配和关断阶段电压过冲失配，承受较高过冲的芯片可能会运行在安全工作区(safe operating area, SOA)外，进而发生失效[37-38]。

碳化硅 MOSFET 并联电流分配不均衡影响因素繁多复杂，不同工况下采用的碳化硅 MOSFET 并联均流方法也不尽相同，为了更好地指导工业界选择适用的抑制方法，本文详细综述并联电流不均衡的各种影响因素，分类总结不同的电流不均衡抑制方法，并从多角度进行综合比较以便于研究者选择合适的抑制策略。最后根据现有研究不足与面临挑战，对电流不均衡抑制方法做出展望，为未来碳化硅 MOSFET 并联均流技术发展提供参考。

1　电流不均衡影响因素

碳化硅 MOSFET 并联电流分配不均衡问题是芯片参数、功率回路参数和驱动回路参数综合影响的复杂问题，了解各种因素对电流分配的影响效果是解决电流分配不均衡问题的重要前提。

1.1　芯片参数对并联电流分配的影响

由于碳化硅 MOSFET 制造工艺不够成熟，同一厂商同批次芯片的参数仍然存在较大分散性[39-41]。文献[42]测量了 30 个同批次碳化硅 MOSFET 的阈值电压 U_{th}、导通电阻 R_{ds} 和跨导 g_{fs}，参数分布如图 1 所示，并用变异系数衡量 3 种参数的分散性差异，变异系数是指标准差占平均值的比例，通常用百分数进行表示[43]。其中，阈值电压分散性最大，变异系数高达 14.0%，导通电阻和跨导的变异系数分别为 5.25%和 3.73%。文献[44]测量了同一批器件的寄生电容，结果表明寄生电容分散性较小，寄生电容整体差异系数小于 5%。

1.1.1　跨导和阈值电压

碳化硅 MOSFET 的阈值电压[45]可以表示为：

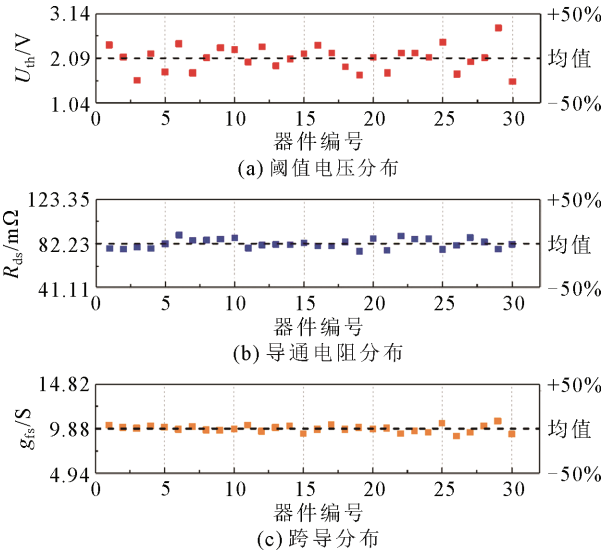


图 1　不同芯片的参数分布[42]

Fig.1　Parameters distribution among different chips[42]

$$U_{\mathrm{th}}=\frac{\sqrt{4\varepsilon_{\mathrm{s}}kTN_{\mathrm{A}}\ln\left(N_{\mathrm{A}}/n_{\mathrm{i}}\right)}}{C_{\mathrm{OX}}}+\frac{2kT}{q}\ln\left(\frac{N_{\mathrm{A}}}{n_{\mathrm{i}}}\right)-\frac{Q_{\mathrm{OX}}}{C_{\mathrm{OX}}} \tag{1}$$

式中：ε_{s} 为介电常数；k 为玻尔兹曼常数；T 为绝对温度；N_{A} 为掺杂浓度；n_{i} 为本征载流子浓度；C_{OX} 为氧化物的比电容；q 为单位电荷；Q_{OX} 为氧化物的总有效电荷。

由式(1)可知，阈值电压受掺杂浓度、氧化层电容、氧化层中的总有效电荷等制造参数影响。跨导[45]可以表示为：

$$g_{\mathrm{fs}}=\frac{\mu_{\mathrm{ni}}C_{\mathrm{OX}}z}{l_{\mathrm{ch}}}\left(u_{\mathrm{gs}}-U_{\mathrm{th}}\right) \tag{2}$$

式中：μ_{ni} 为电子的反型层迁移率；z 为沟道宽度；l_{ch} 为沟道长度；u_{gs} 为栅源极电压。

由式(2)可知，跨导受氧化层电容、沟道长度、沟道宽度等制造参数影响[37, 46-47]。现有工艺无法保证芯片制造参数一致，导致阈值电压和跨导存在较大分散性。

碳化硅 MOSFET 工作在饱和区时的漏极电流 i_{d} 可以用下式表示[45]：

$$i_{\mathrm{d}}=g_{\mathrm{fs}}(u_{\mathrm{gs}}-U_{\mathrm{th}}),u_{\mathrm{gs}}>U_{\mathrm{th}} \tag{3}$$

由式(3)可知暂态电流分配主要受跨导和阈值电压影响。在栅源极电压相同时，阈值电压的大小决定了并联碳化硅 MOSFET 的开关顺序，阈值电压较小的芯片提前进入电流上升阶段；跨导是转移曲线的斜率，反应电流上升速度，跨导大的芯片拥有更快的电流变化速度。并联芯片阈值电压失配引发的芯片开关延迟差异与跨导失配引发的电流变化速

率差异共同作用加剧暂态电流不均衡问题。文献[20]深入分析了阈值电压和跨导的共同作用效果，研究表明两个并联芯片的阈值电压差值和跨导差值正负号相异时会加剧暂态电流分配不均衡，而相同时却可以抑制暂态电流分配不均衡。

文献[42]测试了不同温度下碳化硅 MOSFET 的阈值电压和跨导，发现随温度升高，阈值电压分散性变大，而跨导分散性变化不明显。阈值电压温度系数为负数且数值较大[48]，承受较大电流的芯片由于温度较高，阈值电压减小，在下一个开关过程承受更大的电流，更容易发生过流过热失效。因此，阈值电压的负温度特性加剧暂态电流不均衡。

1.1.2 导通电阻

以碳化硅 VD-MOSFET 为例，图 2 为其结构示意图。如图所示，导通电阻值为漏源极之间的电流通路上各部分电阻值之和，R_{CS} 为源极接触电阻；R_{N+}为源电阻；R_{CH} 为沟道电阻；R_A 为积累层电阻；R_{JFET} 为 JFET 电阻；R_D 为漂移区电阻；R_{SUB} 为衬底电阻；R_{CD} 为漏极接触电阻。导通电阻的各个组成部分受沟道长度、漂移区厚度、沟道缺陷密度等制造参数影响[45]，由于技术不成熟，相同设计下制造参数存在差异，导致芯片导通电阻存在分散性。

碳化硅 MOSFET 完全导通后，不受驱动回路影响，可以视作电阻。忽略电路寄生参数，则稳态电流按照各芯片导通电阻大小分配，每个碳化硅 MOSFET 分配的电流可用下式计算[37]：

$$I_{dj}=\frac{I_d}{R_{dsj}\sum_{i=1}^{N}\frac{1}{R_{dsi}}},\ i,j=1,2,\cdots,N \tag{4}$$

式中：I_{dj} 是第 j 个 MOSFET 的稳态电流；I_d 是 N 个 MOSFET 并联总稳态电流；R_{dsi} 和 R_{dsj} 分别是第 i 个和第 j 个器件的导通电阻。

由式(4)可知，导通电阻的参数分散性造成不同碳化硅 MOSFET 芯片流过的电流存在差异，引起稳态电流不均衡问题。

文献[42]测量了不同温度下的导通电阻，发现随温度升高，导通电阻分散性变大。导通电阻具有正温度系数[48]，承受电流较大的芯片升温后导通电阻增大，进而使得分配电流具有减少趋势，因此稳态电流分配具有一定自均衡能力。但是与硅基 MOSFET 相比，碳化硅 MOSFET 对结温变化不敏感，温度系数较小，限制了稳态电流自均衡能力[49]。

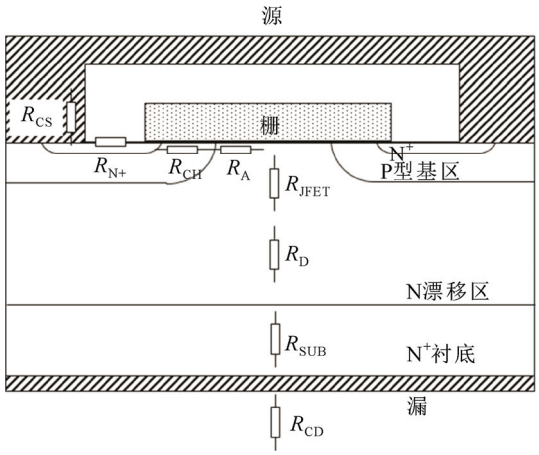


图 2 VD-MOSFET 结构的内部电阻[45]

Fig.2 Internal resistance of VD-MOSFET[45]

1.1.3 寄生电容

碳化硅 MOSFET 寄生电容分为栅源极电容 C_{gs}、栅漏极电容 C_{gd} 和漏源极电容 C_{ds}。C_{gs} 与 C_{gd} 共同组成输入电容，C_{gd} 与 C_{ds} 共同组成输出电容。输入电容在开关阶段的充放电过程会造成器件栅源极电压时延，C_{gs} 为 nF 量级，C_{gd} 为 pF 量级[44, 50]，因此相对于 C_{gs}，C_{gd} 的影响可以忽略。并联碳化硅 MOSFET 的 C_{gs} 失配，导致各个器件的栅源极电压延迟不同，器件开通和关断时刻不一致，加剧暂态电流不均衡，但是由于 C_{gs} 分散性较小，在 5%以下，对电流不均衡影响不大。由于输出电容的位移电流远远小于芯片沟道电流，且参数分散性较小，所以输出电容对并联电流分配的影响可以忽略不记[20]。

1.2 功率回路参数对并联电流分配的影响

碳化硅 MOSFET 分立器件封装、印刷电路板(printed circuit board, PCB)走线、电容母排、功率模块中覆铜陶瓷基板(direct copper bond, DBC)布局和键合线等不可避免地会出现寄生参数。不一致的寄生参数导致并联支路电路参数不匹配，引发暂稳态电流不均衡[51]。

1.2.1 源极和漏极寄生电感

考虑源极寄生电感 L_{s1}、L_{s2}，漏极寄生电感 L_{d1}、L_{d2} 和栅极寄生电感 L_{g1}、L_{g2} 的两芯片并联等效电路模型如图 3 所示，本节以该模型为例分析寄生电感对并联电流分配的影响。

由式(3)可知，在开关暂态阶段漏极电流 i_d 主要受栅源极电压 u_{gs} 影响。Q_1 驱动回路中栅源极电压可由下式计算：

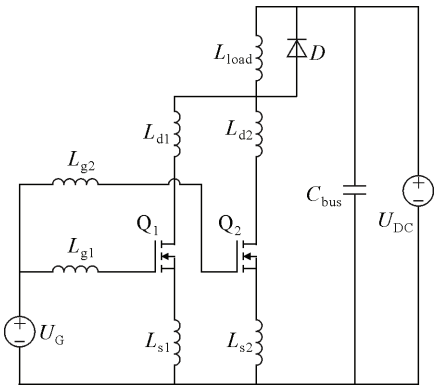


图 3　两芯片并联电路模型

Fig.3　Circuit model of two paralleled SiC MOSFETs

$$u_{gs1}=U_G-L_{g1}\frac{\mathrm{d}i_{g1}}{\mathrm{d}t}-L_{s1}\frac{\mathrm{d}i_{s1}}{\mathrm{d}t} \tag{5}$$

式中：u_{gs1} 为 Q_1 的栅源极电压；U_G 为驱动电压；i_{g1} 为 Q_1 的栅极电流；i_{s1} 为 Q_1 的源极电流。

结合图 3 和式(5)，在驱动回路中，L_{s1} 导致 u_{gs1} 滞后于驱动电压 U_G，增大开关延时。源极寄生电感的差异导致并联 MOSFET 开关延时不同，进而造成不同支路电流上升和下降时刻不同，加剧暂态电流不均衡[51]。L_{d1} 和 L_{d2} 只位于功率回路，与驱动回路不存在耦合关系，对 u_{gs} 几乎没有影响，所以可以忽略漏极寄生电感对暂态电流分配的影响[51-52]。

稳态电流分配主要由导通电阻、漏极和源极寄生电阻决定，但是漏极寄生电感和源极寄生电感也对稳态电流分配有一定影响[48]。文献[53]推导了考虑寄生电感的两芯片并联稳态电流差异公式，即：

$$I_{d1}-I_{d2}=\frac{(L_{d2}+L_{s2}-L_{d1}-L_{s1})U_{DC}}{2R_{ds}L_{load}} \tag{6}$$

式中：I_{d1} 和 I_{d2} 分别为 Q_1、Q_2 的通态电流；U_{DC} 为直流母线电压；L_{load} 为负载电感。

由式(6)可以得出，漏极和源极寄生电感差异越大，稳态电流差异越大。

1.2.2　公共支路阻抗耦合和互感耦合

碳化硅 MOSFET 功率模块暂态电路模型如图 4 所示，并联芯片的漏极直接放置在 DBC 上，漏极寄生电感 L_d 近似为 0 可以忽略[54]。漏极电流 i_{d2} 和 i_{d3} 共同流过并联芯片 Q_1、Q_2 之间的漏极寄生电感 L_a 和功率源极寄生电感 L_b。因此，电流 i_{d2} 和 i_{d3} 的流通路径耦合在一起，这种现象称为公共支路阻抗耦合[54]。当并联 MOSFET 数量较少时，公共支路阻抗耦合效应对电流分配的影响可能并不显著，但是当并联数量较多时不能忽略。

如图 4 所示，M_s 为相邻两个碳化硅 MOSFET 功率源极互感；M_{s13} 为 Q_1、Q_3 间功率源极互感；M_{ab} 为并联芯片漏极和功率源极公共支路互感。在碳化硅 MOSFET 功率模块中芯片布局较为紧凑，不能忽略互感耦合对电流分配的影响。

文献[54]根据图 4(a)漏极与功率源极位于同侧的电路模型，考虑公共支路阻抗耦合效应与互感耦合效应推导出了不同碳化硅 MOSFET 间暂态不均衡电流公式：

$$\begin{bmatrix}\Delta i_{d12}\\ \Delta i_{d13}\\ \Delta i_{d23}\end{bmatrix}=g_{fs}(\boldsymbol{A}+\boldsymbol{B}+\boldsymbol{C}+\boldsymbol{D})\begin{bmatrix}\dot{i}_{d1}\\ \dot{i}_{d2}\\ \dot{i}_{d3}\end{bmatrix} \tag{7}$$

$$\boldsymbol{A}=\begin{bmatrix}-L_s & L_s & 0\\ -L_s & 0 & L_s\\ 0 & -L_s & L_s\end{bmatrix} \tag{8}$$

$$\boldsymbol{B}=\begin{bmatrix}M_s & -M_s & (1-k_s)M_s\\ k_sM_s & 0 & -k_sM_s\\ (k_s-1)M_s & M_s & -M_s\end{bmatrix} \tag{9}$$

$$\boldsymbol{C}=\begin{bmatrix}0 & L_b & L_b\\ 0 & L_b & 2L_b\\ 0 & 0 & L_b\end{bmatrix} \tag{10}$$

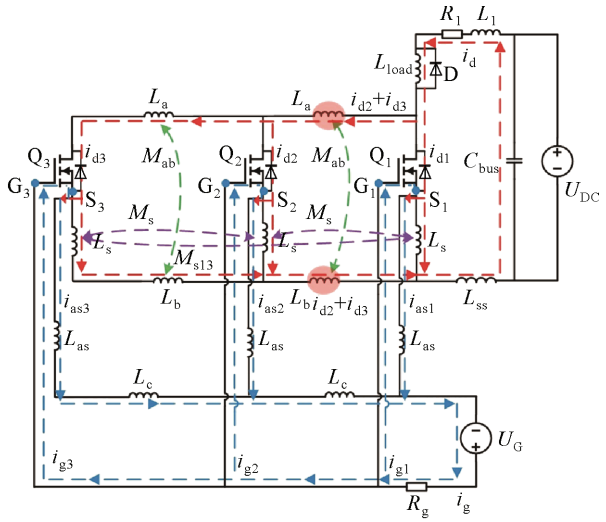
$$\boldsymbol{D}=\begin{bmatrix}0 & -M_{ab} & -M_{ab}\\ 0 & -M_{ab} & -2M_{ab}\\ 0 & 0 & -M_{ab}\end{bmatrix} \tag{11}$$

式中：k_s 为 M_{s13} 与 M_s 的比值。

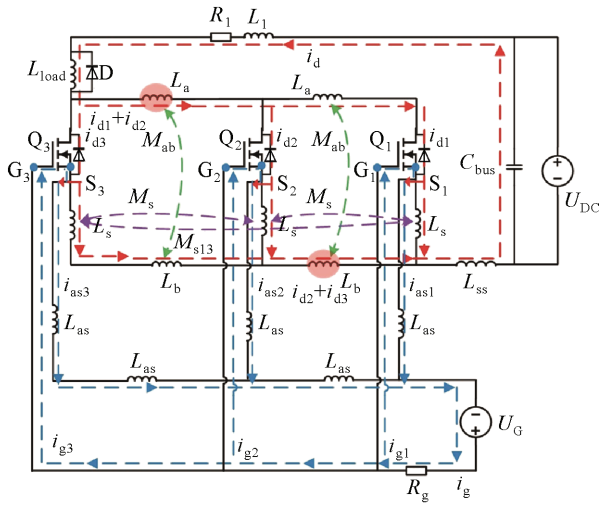
由 $\boldsymbol{B}$ 可知，并联芯片功率源极间互感加剧暂态电流不平衡，由 $\boldsymbol{C}$ 可知，并联芯片间公共支路阻抗耦合效应加剧暂态电流不平衡，由 $\boldsymbol{D}$ 可知，并联芯片间漏极侧和功率源极侧互感抑制暂态电流不平衡。而在图 4(b)中，漏极与功率源极汇流点位于两侧，暂态电流不均衡公式只有 $\boldsymbol{D}$ 发生变化，其余部分不变，$\boldsymbol{D}$ 变为：

$$\boldsymbol{D}'=\begin{bmatrix}M_{ab} & 0 & 0\\ 2M_{ab} & M_{ab} & 0\\ M_{ab} & M_{ab} & 0\end{bmatrix} \tag{12}$$

式中：$\boldsymbol{D}'$为变化后的 $\boldsymbol{D}$ 矩阵。由此可知互感耦合效应对电流分配影响与汇流点位于同侧时存在差异，并联芯片间漏极侧和功率源极侧互感将会加剧暂态电流不平衡[54]。



(a) 漏极和功率源极汇合点在同侧



(b) 漏极和功率源极汇合点在两侧

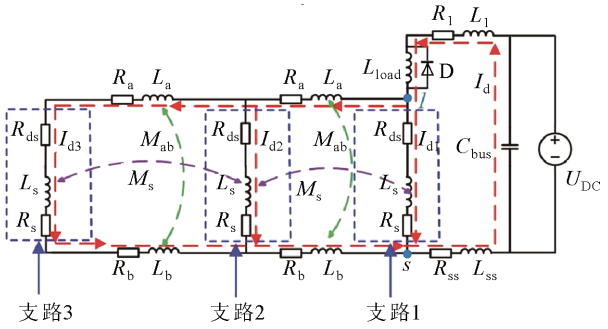
图 4 碳化硅 MOSFET 功率模块暂态电路模型[54]

Fig.4 Transient circuit model of SiC MOSFET power module[54]

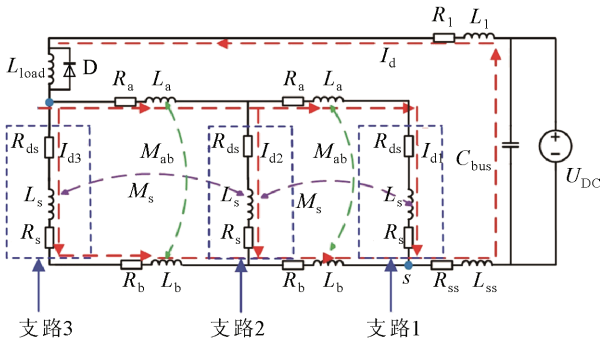
碳化硅 MOSFET 多芯片并联模块稳态电路模型如图 5 所示，稳态阶段电流变化率较小，可以忽略互感对电流分配的影响[25]。当漏极和功率源极汇合点在同侧时，并联芯片间的稳态不均衡电流可以表示为[54]：

$$\begin{cases} \Delta I_{d12}=\dfrac{(a_2+a_3)(2a_1+a_2+a_3)}{(a_1+a_2+a_3)(3a_1+a_2+a_3)}I_d \\ \Delta I_{d13}=\dfrac{(a_2+a_3)(3a_1+a_2+a_3)}{(a_1+a_2+a_3)(3a_1+a_2+a_3)}I_d \\ \Delta I_{d23}=\dfrac{(a_2+a_3)a_1}{(a_1+a_2+a_3)(3a_1+a_2+a_3)}I_d \end{cases} \tag{13}$$

$$\begin{cases} a_1=R_{ds}+R_s+sL_s \\ a_2=R_b+sL_b \\ a_3=R_a+sL_a \end{cases} \tag{14}$$



(a) 漏极和功率源极汇合点在同侧



(b) 漏极和功率源极汇合点在两侧

图 5 碳化硅 MOSFET 功率模块稳态电路模型[54]

Fig.5 Steady circuit model of SiC MOSFET power module[54]

由式(13)和(14)，当漏极和功率源极汇合点在同侧时，漏极和功率源极公共支路阻抗耦合效应相互叠加加剧稳态电流不平衡。当漏极和功率源极汇合点在两侧时，并联芯片间的稳态不均衡电流可以表示为[54]：

$$\begin{cases} \Delta I_{d12}=\dfrac{a_1(a_2-a_3)+a_2(a_1+a_2+a_3)}{(3a_1+a_2+a_3)(a_1+a_2+a_3)}I_d \\ \Delta I_{d13}=\dfrac{(a_2-a_3)(3a_1+a_2+a_3)}{(3a_1+a_2+a_3)(a_1+a_2+a_3)}I_d \\ \Delta I_{d23}=\dfrac{a_1(a_2-a_3)-a_3(a_1+a_2+a_3)}{(3a_1+a_2+a_3)(a_1+a_2+a_3)}I_d \end{cases} \tag{15}$$

由式(14)和(15)可知，当漏极和功率源极汇合点在两侧时，漏极和功率源极公共支路阻抗耦合效应相互抵消抑制稳态电流不均衡。

1.3 驱动回路参数对并联电流分配的影响

碳化硅 MOSFET 开通与关断状态的转换过程由驱动电路决定，栅源极电压大小、驱动信号延迟、驱动电阻影响芯片开关时间和电流变化速率，进而影响暂态电流分配[55]。位于驱动回路的栅极、源极寄生电感差异也需加以考虑。

栅源极电压的数值差异影响开通的快慢，由式(3)，栅源极电压较大的支路，MOSFET 开通较快，

电流上升过程分配电流较大[55]。驱动信号延迟来源于驱动器的输出过程延时和电流隔离器(如光耦合器)，驱动器的输出过程造成 5~15 ns 的延迟，隔离器造成 60~100 ns 的延迟[56-57]。驱动延迟差异导致芯片开关时间不一致，驱动延迟小的芯片先开通，分配更大电流[55]。驱动电路通过栅极驱动电阻 R_g 对输入电容进行充放电，进而控制 MOSFET 的开关过程。驱动电阻大则驱动电流小，开通速度慢，分配电流小[55]。

由式(5)，栅极寄生电感 L_{g1} 和 L_{g2} 的差异会使栅源极电压存在差异从而影响暂态电流分配，但是由于并联芯片栅极电流差异很小，L_{g1} 和 L_{g2} 对栅源极电压的影响几乎相同，所以对暂态电流分配的影响几乎可以忽略[52]。同时，栅极寄生电感只位于驱动回路，对稳态电流分配的影响也可以忽略。

源极寄生电感同时位于功率回路和驱动回路。图 3 电路模型中源极采用共源极连接方式，漏极电流和驱动电流共同流过共源极电感，功率回路和驱动回路未解耦。源极还可采用开尔文连接，如图 6 所示，源极电感解耦为功率源极电感 L_{s1}、L_{s2} 和辅助源极电感 L_{as1}、L_{as2}。此时，式(5)中$-L_{s1}\mathrm{d}i_{s1}/\mathrm{d}t$ 变为$-L_{as1}\mathrm{d}i_{as1}/\mathrm{d}t$，辅助源极电流变化率远小于漏极电流变化率，芯片的栅源极电压变化更快，能够提高开关速度。辅助源极电流变化率差异也小于漏极电流变化率差异，不同芯片的栅源电压差异减小，最终暂态电流分配更加均衡[58]。

文献[59]定量推导了共源极连接和开尔文连接两种方式电流分配差异的定量计算公式：

$$\Delta i_{dc}=g_{fs}((L_{s2}-L_{s1})\frac{\mathrm{d}(i_{d1}+i_{d2})}{2\mathrm{d}t}-(L_{s2}+L_{s1})\frac{\mathrm{d}(i_{d1}-i_{d2})}{2\mathrm{d}t}) \tag{16}$$

$$\Delta i_{dk}=k\Delta i_{dc} \tag{17}$$

$$k=(L_{as1}+L_{as2})/\left(L_{s2}+L_{s1}+L_{as1}+L_{as2}\right) \tag{18}$$

式中：Δi_{dc} 为共源极连接电流分配差异；Δi_{dk} 为开尔文连接电流分配差异。因为系数 k 恒小于 1，所以开尔文连接电流分配差异小于共源极连接电流分配差异。

但是，稳态阶段漏极电流会通过辅助源极流入另一个芯片的功率源极，这种环流现象会造成稳态电流不均衡[58,60]。

1.4　电流不均衡影响因素总结

碳化硅 MOSFET 并联电流分配不均衡受芯片参数、功率回路参数和驱动回路参数的综合作用，本节基于前文的详细分析，将电流分配影响因素进行总结，如表 1 所示。“+”代表各类影响因素在相同差异度下对电流分配的影响程度，“+”越多影响程度越大。“○”表示对电流分配无影响或影响可忽略。源极电感差异对暂态电流不均衡影响最大，采用开尔文连接时功率源极电感主要影响电流分配，辅助源极电感差异的影响可忽略。支路总寄生电阻决定稳态电流分配。公共支路阻抗耦合在并联数目增多时影响更加显著，互感耦合的影响在布局紧凑时影响更大。

2　电流不均衡抑制方法

碳化硅 MOSFET 并联电流分配不均衡由各类影响因素失配造成，因此电流不均衡抑制方法的思路通常为采用不同方式使各类参数保持一致。目前，电流均衡方法主要有芯片筛选、封装设计优化和主动栅极驱动 3 大类，分别对应芯片参数、功率回路

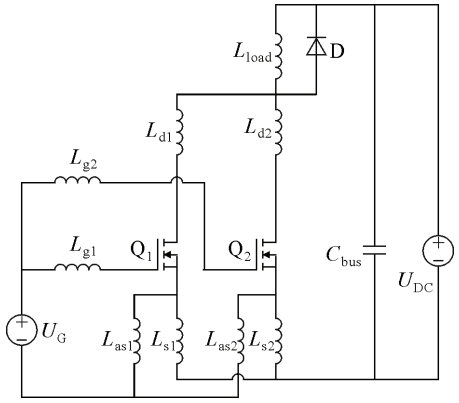


图 6　开尔文连接电路模型

Fig.6　Kelvin connection circuit model

表 1　电流不均衡影响因素总结

Table 1　Summary of factors affecting current imbalance

影响因素		暂态电流	稳态电流
芯片参数	阈值电压	++	○
	跨导	++	○
	导通电阻	○	++
	寄生电容	+	○
功率回路参数	漏极寄生电感	○	+
	源极寄生电感	+++	+
	漏极寄生电阻	○	++
	源极寄生电阻	○	++
	公共支路阻抗耦合	++	++
	互感耦合	++	○
驱动回路参数	栅源极电压	++	○
	驱动信号延迟	++	○
	驱动电阻	++	○
	栅极寄生电感	○	○

参数和驱动回路参数。此外，附加辅助元件的方法可以通过接入不同的元件灵活解决电流不均衡问题。

2.1 芯片筛选

现有制造工艺下碳化硅 MOSFET 芯片参数分散性较大，进行芯片筛选可以实现芯片参数匹配抑制电流不均衡。根据本文 1.1 节讨论，影响碳化硅 MOSFET 并联电流不一致的主要芯片参数为芯片阈值电压、跨导和导通电阻。根据实际应用要求筛选一项或多项参数一致的芯片并联运行可以有效抑制电流不均衡。

筛选单一参数一致的芯片具有简单快速、成本低的特点，适合较大规模工业应用。稳态电流分配只受导通电阻这一芯片参数影响，只需保证单项参数一致。然而，导通电阻随漏极电流增大而增大[61]，只根据某一固定电流值下的导通电阻进行筛选，在负载波动时电流均衡效果无法保证。文献[61]采用最大负载下的最大导通电阻和最小负载下的最小导通电阻近似线性拟合导通电阻与漏极电流，并根据最小导通电阻与最大导通电阻差异筛选芯片。

暂态电流分配受阈值电压和跨导两个参数影响，仅按照单一参数筛选芯片无法保证实际均流效果，电流均衡度要求严格条件下不适用。文献[62]提出了根据阈值电压进行芯片筛选的方法，操作简单但由于信息有限，电流均衡效果较差。应用跨导筛选芯片时，跨导随栅源电压变化[63]，将跨导视为常数可能导致均流效果不佳。

转移曲线同时包含跨导和阈值电压的信息，作为筛选依据具有较高准确性。文献[63]采用兰式距离计算转移曲线间的距离系数，并验证了转移曲线距离系数与暂态电流不均衡度成正比，可以作为芯片筛选的指标。应用分层聚类算法，给出电流不均衡度的控制阈值，可以将碳化硅 MOSFET 分成不同类，并联同类芯片即可满足电流均衡要求。此外，转移曲线距离系数具有较低的温度依赖性，可以在不同温度下使用室温下筛选出的芯片，节约筛选时间成本。文献[61]采用跨导系数取代跨导对转移曲线进行修正，得到三次拟合转移曲线。根据新的拟合模型，暂态漏极电流可由下式计算

$$i_{\mathrm{d}} = g\left(u_{\mathrm{gs}} - U_{\mathrm{th}*}\right)^3, u_{\mathrm{gs}} > U_{\mathrm{th}*} \tag{19}$$

式中：g 为跨导系数；$U_{\mathrm{th}*}$为拟合阈值电压。

跨导系数与拟合阈值电压差异之和可以作为芯片筛选的指标，实验表明并联和值最小的一组芯片电流均衡效果良好[16]。

应用人工智能算法进行芯片筛选可以同时考虑多项参数。文献[64]应用多元线性回归模型，可以筛选同时满足暂态和稳态电流均衡的芯片，而且具有较快筛选速度。同时，在不同温度下该方法均表现出较好电流均衡效果。增加训练样本和输入参数种类可以增加多元线性回归模型的筛选准确率，但是参数冗余会造成过拟合，降低筛选准确率，应选取影响电流均衡的主要参数作为输入。

2.2 封装设计优化

传统封装方式寄生电感参数较大，碳化硅 MOSFET 开关频率更大，如果沿用传统封装方式，将引起严重的电流不均衡、电压应力、损耗增加以及电磁干扰问题[65]，无法发挥其优良性能。电流均衡封装设计可分为基于几何对称图形的对称布局封装和对传统布局进行改进的非对称布局封装。

2.2.1 对称布局模块封装

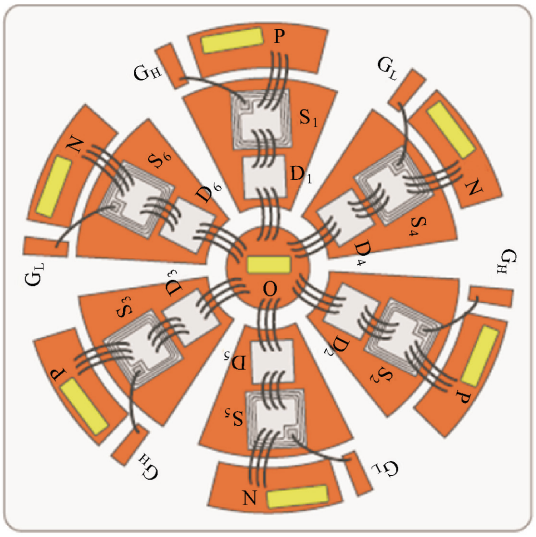
传统非对称布局虽然并联支路上寄生电感和寄生电阻几乎相同，但是支路间公共支路阻抗导致的电流耦合效应显著，加剧电流分配不均衡。对称布局封装旨在提高支路寄生参数一致性，消除公共支路阻抗耦合效应，抑制电流分配不均衡。

文献[66]和[67]基于几何对称图形，设计了圆周布局方式，如图 7(a)所示，圆周结构优良的对称性提升了各支路的一致性，使得各个支路寄生电感相同，同时消除公共支路耦合电感，实现了电流均衡。文献[68]分析了漏极汇流点、栅极汇流点、辅助源极汇流点、功率源极汇流点对暂态电流不均衡的影响。分析表明，功率源极汇流点的不对称是造成暂态电流不均衡的主要原因，设计电路时应首先实现功率源极汇流点的对称。基于上述结论，文献[68]设计了一种新椭圆形 DBC 布局，如图 7(b)所示，实现了功率源极汇流点的对称，不均衡电流远小于非对称电路布局的商用模块，且具有更低开关损耗。

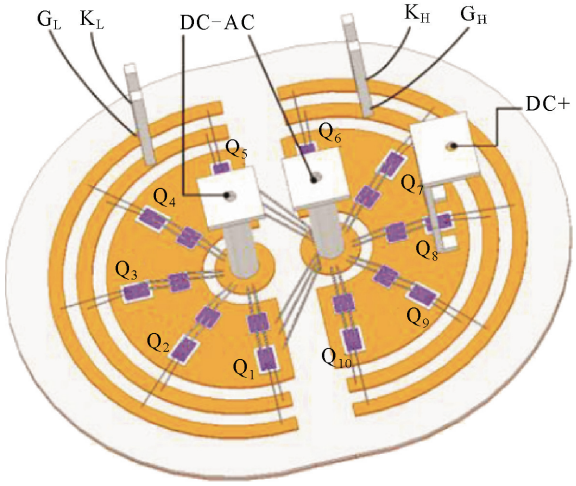
2.2.2 非对称布局模块封装

对称布局封装虽然电流均衡效果显著，但是全新的布局设计是否适合大规模商业应用还有待考量。在传统封装基础上进行改进实现电流均衡也是研究者们青睐的一种思路，保证电流均衡的同时设计较为简单，易于制造和应用。

文献[69]提出了一种双电源端子布局，如图 8 所示，电路包含一对对称的直流总线端子，为每个碳化硅 MOSFET 提供两个等效功率回路，降低了功



(a) 圆周布局[66]



(b) 椭圆形布局[68]

图 7　两种对称 MOSFET 布局

Fig.7　Two symmetrical MOSFET layouts

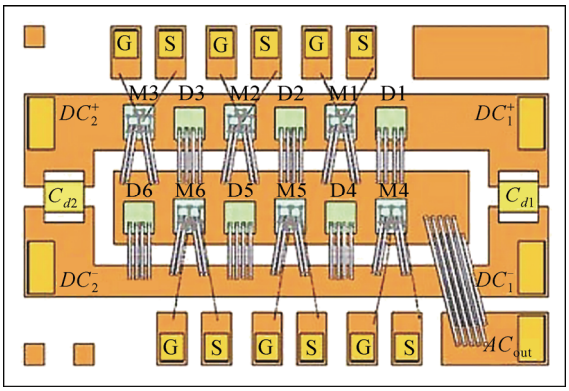


图 8　双电源端子布局[69]

Fig.8　A double-end sourced layout[69]

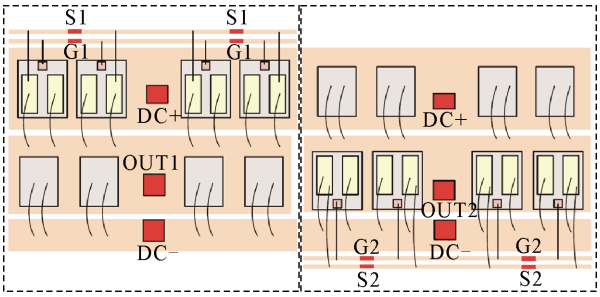


图 9　拆分输出 DBC 布局[70]

Fig.9　Split-output DBC layout[70]

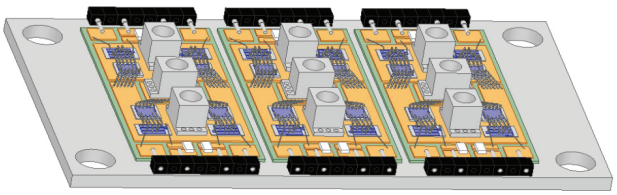


图 10　多分裂引出式分组封装[71]

Fig.10　Multi-split drop-out packet encapsulation[71]

率回路寄生电感差异，实现同步的开关表现和暂态电流分配均衡，该方法同时降低了芯片间温度差异和近场辐射噪声。文献[70]将直流总线端子放在芯片中间，如图 9 所示，4 个芯片被拆分成 2 组，正极和负极输入端子放置在两组中心，减小了寄生参数失配引起的暂态电流不均衡。双电源端子布局和将电源端子放置在中心的布局不能完全消除寄生参数差异和公共支路阻抗耦合效应，并联芯片数目在五个以上时暂态不均衡电流仍不可忽略。文献[71]提出了一种多分裂引出式分组封装，如图 10 所示，将功率模块分成多个对称子单元，每个子单元包含两个对称放置的芯片，保证支路寄生电感和互感匹配。每个子单元设置独立的功率端子，垂直 DBC 将电流引出，消除了因功率回路电流在一侧汇集产生的公共支路耦合效应和直流母线与源极键合线间互感耦合。芯片和 DBC 基板旋转布置，使得电流路径更短更宽，减小寄生参数。该模块不仅能够均衡暂态电流，还降低关断过冲和开关损耗，提升开关速度。

文献[72]应用响应面模型和非线性约束优化算法确定键合线和铜层的连接位置，实现功率源极电感一致，减小暂态电流不均衡。文献[73]提出了应用堆叠 DBC 桥和去耦电容优化暂态电流分配的方法，如图 11 所示，在传统 DBC 布局基础上，将芯片分组，组间安装堆叠 DBC 桥和去耦电容，去耦电容对每组 MOSFET 的环流回路具有解耦效果，实现了暂态电流均衡，减小了开关损耗。这种方法仅需在传统模块稍作改装，工艺简单。文献[74]采用

具有修正路径(modification paths，MPs)的铜夹键合方式取代传统键合方式。连接功率源极与 DBC 基板的铜夹如图 12 所示，DJ_1—DJ_3 为与芯片连接点，CJ_1—CJ_3 为与铜层连接点，MP_{12} 与 MP_{23} 为修正路径。铜夹键合拥有比铝线键合更大的通流能力，同时，该方法通过改变修正路径 MP_{12} 与 MP_{23} 的长度改变功率源极电感值，使各个支路寄生参数一致来优化电流分配。

2.3 主动栅极驱动

主动栅极驱动一般由电流测量、补偿值计算、驱动信号调节 3 个环节组成，是一种闭环调节方式，保证每个运行周期的驱动信号都保持一致，有效抑制驱动信号失配造成的暂态电流分配不均衡。

文献[75]提出了一种主动电流均衡方法，如图 13 所示。该方法包含电流不均衡传感器、电流均衡控制器和主动栅极控制器。电流不均衡传感器应用新型小体积差动电流互感器精确测量不均衡电流，电流均衡控制器提取不均衡电流值后得到阈值电压修正值并传递给主动栅极控制器，主动栅极控制器进行调节实现暂态电流均衡，3 个部分完成了对暂态电流的闭环调控[76]，但是该方法仅适用于两颗芯片并联。文献[77]设计了主从栅极驱动器，将一个碳化硅 MOSFET 作为主芯片，测量其栅极电压作为参考。将其他芯片栅极电压作为从芯片，对从芯片的驱动进行补偿，使各个芯片栅极信号相同，实现暂态电流分配均衡。文献[57]提出了一种主动栅极驱动器(active gate driver，AGD)，该方法通过动态栅极电压，自动同步电流上升与下降起始时间和电流变化速度实现暂态电流均衡，减小电流过冲差异和开关损耗。AGD 扩展性强，适合多个 MOSFET 并联，每个主动栅极驱动器单独测量其控制的 MOSFET，AGD 之间可以进行主从连接和链式连接，并联数目较多时主从连接电流均衡效果更佳。

主动栅极驱动针对驱动回路设计，主要方式为调节驱动电压，能够在每个开关过程持续不断地调节电流分配，同时实现了闭环调节，暂态电流均衡效果显著。但是主动栅极驱动电路较为复杂，降低了运行稳定性，且难以集成。

2.4 应用辅助元件

2.4.1 阻抗补偿

在支路上补偿电阻或电感可以实现各个支路阻抗一致，抑制电流分配不均衡。并联支路串接电阻，一方面使各个支路总电阻相等，另一方面使支路杂散电阻远远大于导通电阻，消除导通电阻不匹配对电流分配影响，但是该方法会增大损耗。文献[78]在考虑公共支路阻抗耦合效应下，通过理论推导得出源极补偿阻抗的定量计算公式和漏极补偿阻抗的定量计算公式：

$$\Delta L_{\mathrm{m}}=\frac{n^2-(2m-1)n+m^2-m}{2}L_{\mathrm{b}} \tag{20}$$

$$\Delta Z_m=\frac{m^2+m}{2}\left(R_{\mathrm{a}}+R_{\mathrm{b}}+s\left(L_{\mathrm{a}}+L_{\mathrm{b}}\right)\right) \tag{21}$$

式中：m 为支路序号，ΔL_{m} 为第 m 条支路功率源极补偿电感，ΔZ_{m} 为第 m 条支路漏极补偿阻抗；n 为并联支路总数；R_{a} 为相邻 MOSFET 漏极间寄生电阻；R_{b} 为相邻 MOSFET 源极间寄生电阻。根据公

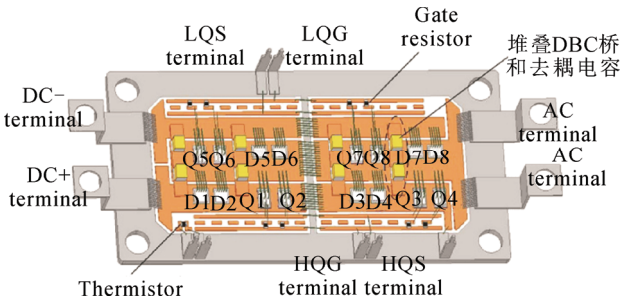


图 11 具有堆叠 DBC 桥和去耦电容的封装[73]

Fig.11 Package with stacked DBC bridges and decoupling capacitors[73]

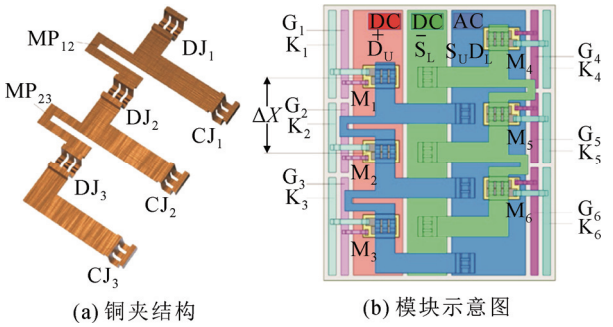


图 12 铜夹键合方法[74]

Fig.12 Cu clip-bonding method[74]

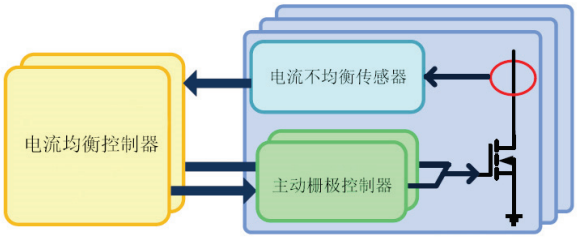


图 13 主动电流均衡[75]

Fig.13 Active current balancing[75]

式在对应支路进行阻抗补偿，可以消除公共支路阻抗耦合效应对电流不均衡的影响。文献[79]研究发现源极进行电感补偿可以减小阈值电压较小芯片的栅极充电速度，进而抑制电流分配不均衡。

阻抗补偿方法可以同时解决暂态和稳态电流不均衡问题。该方法所需材料简单、价格低廉，具有良好的经济效益。然而，这种方法增加了开关损耗以及导通损耗，增大了电路的复杂度，降低了运行的可靠性。

2.4.2　差模扼流圈

文献[80]和[81]提出了基于差模扼流圈的电流分配方法，如图 14(a)所示，差模扼流圈包含两个匝数相同的线圈，并联的两个碳化硅 MOSFET 电流流入差模扼流圈后将产生方向相反的磁通。如果两个 MOSFET 电流相等，这两个磁通数值相同方向相反，合成磁通等于零，对电流分配无影响。如果流经两个 MOSFET 的电流大小不等，磁芯中将存在磁通，在线圈中产生感应电动势，电动势促使电流均衡。应用差模扼流圈可以同时抑制暂态和稳态电流不均衡，并且这种方法可以拓展到多个 MOSFET 并联,如图 14(b)所示。增大差模扼流圈电感值可以进一步抑制电流不均衡，但是回路漏感也会增大，导致关断电压过冲变大。同时，差模扼流圈会稍微降低开通速率。

2.4.3　共模扼流圈

文献[81]提出了在驱动回路接入共模扼流圈的暂态电流均衡方法。共模扼流圈可以等效为一个互感 L_{M}、两个漏感 L'_{s} 和一个全耦合理想扼流圈，如图 15 所示。应用共模扼流圈和去除扼流圈的暂态最大不平衡电流比值可由下式计算[81]：

$$\Delta i_{\mathrm{dmax}} / \Delta i_{\mathrm{dmax0}} = \frac{\left(L'_{\mathrm{s}}+L_{\mathrm{k}}\right)\left(L_{\mathrm{k}}+L_{\mathrm{s}}\right)}{L_{\mathrm{k}}\left(L'_{\mathrm{s}}+L_{\mathrm{k}}+L_{\mathrm{s}}+L_{\mathrm{M}}\right)} \tag{22}$$

式中：Δi_{dmax} 为应用共模扼流圈最大不均衡电流；$\Delta i_{\mathrm{dmax0}}$ 为未应用共模扼流圈最大不均衡电流；L_{k} 为辅助源极电感。

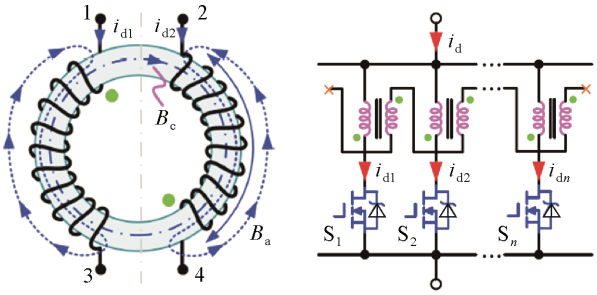
根据式(22)，共模扼流圈互感值 L_{M} 越大，漏感值越小，电流均衡效果越好。应用共模扼流圈等效模型后，互感 L_{M} 与驱动回路解耦，只有数值极小的漏感仍位于驱动回路，因此该方法不会影响开关速度。

3　综合对比

本章从工程应用实际出发，分别从电流均衡种类、集成难度、经济成本和扩展难度四个角度对各类电流不均衡抑制方法进行综合对比分析，结果如表 2 所示。

芯片筛选、对称布局封装、非对称布局封装和阻抗补偿可以根据需求进行设计，达到同时抑制暂态和稳态电流不均衡的效果。应用差模扼流圈可以同时抑制暂稳态电流不均衡。主动栅极驱动可以通过调节栅极电压实现稳态电流均衡，但是栅极驱动电压过高会对栅极可靠性造成不利影响，栅极驱动电压过低导致导通电阻变大，产生额外的损耗。因此主动栅极驱动通常仅用于调节暂态电流分配。共模扼流圈由于安装在驱动回路，常用于调节暂态电流分配。

集成难度指均流方法集成到碳化硅 MOSFET 功率模块的难度，集成难度小的方法更适合应用于多芯片并联功率模块。如图 7 所示，为了实现几何



(a) 差模扼流圈　(b) 多芯片并联接线图

图 14　差模扼流圈[82]

Fig.14　Differential mode choke[82]

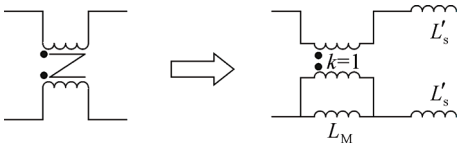


图 15　共模扼流圈[81]

Fig.15　Common mode choke[81]

表 2　电流不均衡抑制方法综合比较

Table 2　Comprehensive comparison of current imbalance suppression methods

方法	芯片筛选	对称布局	非对称布局	主动栅极驱动	阻抗补偿	差模扼流圈	共模扼流圈
电流均衡种类	暂稳态	暂稳态	暂稳态	暂态	暂稳态	暂稳态	暂态
集成难度	容易	困难	容易	困难	容易	困难	困难
经济成本	高	高	高	高	低	低	低
扩展难度	容易	容易	容易	困难	容易	容易	容易

对称结构，对称布局封装的芯片布局分散，集成难度较大。主动栅极驱动需要增加额外的电流测量和电流控制回路，占用较大面积而不适合集成应用。差模和共模扼流圈体积较大，长度达到 3 cm[80]，因此难以集成到功率模块内部。其他方式集成难度较低。

经济成本影响电流均衡方法是否适合大规模应用。在目前制造工艺下，一批芯片只能筛选 30%左右参数一致的芯片，应用该方法需事先准备足量芯片，因此成本较高。改进的封装布局需要安装更多的功率端子，同时封装形式的改变也增加了制造成本。文献[71]所提出的封装形式功率端子用量是传统封装的 3 倍。文献[66]所提的封装形式每个碳化硅 MOSFET 芯片都烧结在单独的 DBC 基板上，增加了制造成本。主动栅极驱动电路复杂，需要更多辅助元件，制造成本较高，并且每个芯片都需要配置主动驱动电路，所需数量巨大。阻抗补偿、差模扼流圈和共模扼流圈造价低廉，成本低。

扩展难度是指电流不均衡抑制方法在较多数目芯片并联情况下应用的难度。各类方法均可满足多片碳化硅 MOSFET 并联的电流均衡要求。但是主动栅极驱动电路结构复杂，每个并联芯片均需配置单独的驱动器，扩展难度较大。

在芯片制造商提高制造工艺之前，芯片筛选是解决芯片参数不一致的唯一方法，而且仅有成本较高一项缺点，在应用芯片前进行筛选是一个不错的选择。传统模块封装方式限制了碳化硅 MOSFET 性能的发挥，对称布局封装和非对称布局封装降低了电路参数差异，都具有很好的应用前景。主动栅极驱动电路复杂、体积庞大、较难集成，技术还需进一步成熟才能大规模应用。附加元件的方法具有成本低廉，应用灵活的优势，但是增加了排查电路故障的难度。

4 挑战与展望

目前国内外研究者已经提出一些方法来解决碳化硅 MOSFET 并联电流分配不均衡问题，但是目前的电流均衡方法仍存在很多不足。

现有电流均衡方法可以将电流不均衡度从 40%降至 10%左右[54,61,66,68,74,78]，在负载电流为 30 A 时可以将最大不均衡电流控制在 5 A 以内。目前商业碳化硅 MOSFET 单芯片电流最大值约为 150 A，假设应用现有方法将电流不均衡度降至 10%，在考虑电流过冲情况下不同芯片间电流差异仍然高达 20 A。因此，现有均流方法在单芯片电流等级提升的工况下是否有效有待考量，电流均衡方法研究是一项需要随着碳化硅 MOSFET 技术发展持续进行的工作。

目前已研制出并联芯片数量多达 20 颗，电流等级达 1000 A 的碳化硅 MOSFET 功率模块[83]。在大规模芯片并联的情况下，最大两两芯片参数差异更大，电路参数不匹配更严重，公共支路阻抗耦合、互感的影响更显著，驱动信号差异也更大，电流分配不均衡问题将更加严峻，但是千安级别功率模块的电流均衡研究几乎为空白，实现电流均衡，推动大功率碳化硅 MOSFET 模块商业化仍需进行大量研究工作。本文根据现有电流不均衡抑制方法的不足与面临挑战，给出下列 4 点前景展望。

1）芯片、功率回路、驱动回路参数综合调控。碳化硅 MOSFET 并联电流不均衡受芯片参数、功率回路参数和驱动回路参数三类因素影响，而目前研究仍局限于控制变量法，仅考虑一项参数差异，其他参数保持一致。但是实际运行工况中往往是各种因素都存在不匹配问题，应用单一的方法不能实现电流分配均衡。目前针对单一影响因素的电流不均衡抑制方法已经趋于成熟，研究者们需要在同时考虑各类因素的综合调控方面发力。

2）大规模碳化硅 MOSFET 并联的电流均衡方法研究。碳化硅 MOSFET 单芯片通流能力较小，在电力系统等应用工况需要进行多芯片并联或多模块并联。但是目前研究多针对 5 个以内芯片并联，在大规模并联应用时现有方法是否仍然有效有待探讨。5 个以上碳化硅 MOSFET 并联电路参数繁多，需进行电路简化，提取对电流分配影响最大的参数并提出对应电流均衡方法。数十颗芯片并联的千安电流等级碳化硅 MOSFET 功率模块缺乏研究。目前常采用芯片并联为子模块，子模块再并联为整个模块的形式，如图 16 所示。

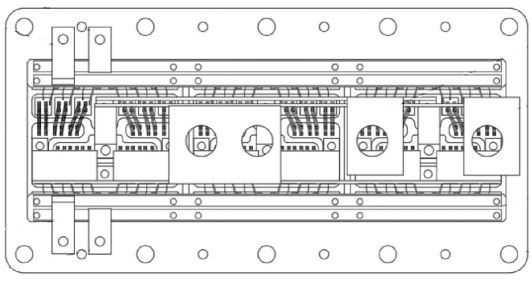


图 16 1000 A 碳化硅 MOSFET 功率模块[83]

Fig.16 1000 A Silicon Carbide MOSFET power module[83]

3）长期运行老化对并联均流方法的影响。碳化硅 MOSFET 芯片长期运行情况下参数会发生老化，而目前电流不均衡抑制方法的效果往往通过双脉冲测试进行测量。双脉冲测试是一个短时间设置实验，其结果不能反应长期运行工况下的电流均衡效果。同时，尽管一些方法考虑了不同温度下是否仍然适用，但也没有经过长时间运行验证。可以模拟实际工况，对电流不均衡抑制方法进行功率循环与温度循环测试来验证其可靠性。

4）并联电流不均衡抑制方法的可靠性、功率密度、体积、扩展能力、时间成本、经济成本和是否易于集成均需要加以考虑，满足这些因素才适合在工业领域大规模应用。针对芯片参数差异，设计筛选算法时要提高芯片利用率，保证经济效益。针对功率回路参数差异，设计芯片布局时兼顾功率密度，增加辅助元件进行电流均衡需要考虑电路可靠性。针对驱动回路参数，需要简化主动栅极驱动电路。另一方面，电流不均衡抑制方法对碳化硅 MOSFET 其他方面的性能也需加以考虑，如开关速度、电压过冲和开关振荡等。

5　结论

本文首先综述了芯片参数、功率回路参数和驱动回路参数 3 个方面对碳化硅 MOSFET 并联电流不均衡的影响。其次，针对各个因素分类梳理电流不均衡抑制方法。然后，综合对比了电流不均衡影响因素和研究方法，最后对碳化硅 MOSFET 电流均衡方法的研究进行了展望。

1）研究并联均流问题需要综合考虑芯片参数、功率回路参数和驱动回路参数。芯片参数中阈值电压和跨导影响暂态电流分配，导通电阻影响稳态电流分配。功率回路参数中源极寄生电感同时影响暂稳态电流分配，漏极寄生电感只影响稳态电流分配。在多芯片并联功率模块中，公共支路阻抗耦合效应和互感效应不可忽略。驱动电压大小和延迟、驱动电阻等驱动参数会影响暂态电流分配。

2）芯片筛选方法可以解决芯片参数分散性带来的电流不均衡问题，适用于多个芯片并联且易于集成，但是成本较高。优化封装设计减小了传统模块寄生参数失配度，可以充分发挥碳化硅 MOSFET 的优异性能。主动栅极驱动虽然具有良好的暂态均流效果，但是目前发展还不成熟，驱动电路设计需要简化。附加辅助元件成本很小，但是一定程度上增加了电路复杂度。

3）目前的电流均衡方法仍存在很多不足，未来电流均衡方法研究可以在芯片参数、功率回路参数和驱动回路参数综合调控，大规模碳化硅 MOSFET 并联电流分配，长期运行老化对并联均流方法的影响等方面进行创新。

参考文献　References

[1] 盛　况，任　娜，徐弘毅. 碳化硅功率器件技术综述与展望[J]. 中国电机工程学报，2020，40(6)：1741-1752.
SHENG Kuang, REN Na, XU Hongyi. A recent review on silicon carbide power devices technologies[J]. Proceedings of the CSEE, 2020, 40(6): 1741-1752.

[2] MILLÁN J, GODIGNON P, PERPIÑÀX, et al. A survey of wide bandgap power semiconductor devices[J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2155-2163.

[3] 彭娇阳，孙　鹏，张浩然，等. 基于栅极泄漏电流的碳化硅 MOSFET 短路栅源极失效判定方法[J]. 高电压技术，2022，48(6)：2391-2400.
PENG Jiaoyang, SUN Peng, ZHANG Haoran, et al. Determination method for short-circuit gate-source failures of silicon carbide MOSFET based on gate leakage current[J]. High Voltage Engineering, 2022, 48(6): 2391-2400.

[4] 蔡雨萌，赵志斌，梁　帅，等. 换流回路的寄生参数对碳化硅 MOSFET 开关特性的影响[J]. 高电压技术，2021，47(2)：603-614.
CAI Yumeng, ZHAO Zhibin, LIANG Shuai, et al. Influence of parasitic parameters of commutation path on switching characteristics of silicon carbide MOSFET[J]. High Voltage Engineering, 2021, 47(2): 603-614.

[5] 井开源，林　磊，殷天翔，等. 基于 Si IGBT 和 SiC MOSFET 的飞跨电容 MMC 拓扑及其调制策略[J]. 高电压技术，2022，48(10)：4060-4071.
JING Kaiyuan, LIN Lei, YIN Tianxiang, et al. Flying-capacitor MMC topology combining Si IGBT and SiC MOSFET with its modulation strategy[J]. High Voltage Engineering, 2022, 48(10): 4060-4071.

[6] 李小强，林铭恩，王文杰，等. 抑制 SiC MOSFET 桥臂串扰与栅源电压振荡的推挽式电容辅助电路分析及参数设计方法[J]. 高电压技术，2023，49(1)：226-237.
LI Xiaoqiang, LIN Ming'en, WANG Wenjie, et al. Analysis and parameters design method of push-pull capacitor auxiliary circuit to suppress SiC MOSFET bridge-leg crosstalk and gate-source voltage oscillation[J]. High Voltage Engineering, 2023, 49(1): 226-237.

[7] 柏　松，李士颜，费晨曦，等. 新一代 SiC 功率 MOSFET 器件研究进展[J]. 人工晶体学报，2020，49(11)：2122-2127.
BAI Song, LI Shiyan, FEI Chenxi, et al. Development of new-generation SiC power MOSFET[J]. Journal of Synthetic Crystals, 2020, 49(11): 2122-2127.

[8] 张耀辉，李跃波，韩　超，等. 用于高功率电磁脉冲防护的 SiC-TVS 器件设计研制[J]. 高电压技术，2020，46(6)：2114-2121.
ZHANG Yaohui, LI Yuebo, HAN Chao, et al. Design and development of SiC-TVS Devices for high power electromagetic pulse protection[J]. High Voltage Engineering, 2020, 46(6): 2114-2121.

[9] 孟　伟，李学宝，张金强，等. 温度对碳化硅器件封装用有机硅弹性体陷阱特性的影响[J]. 高电压技术，2023，49(2)：577-587.
MENG Wei, LI Xuebao, ZHANG Jinqiang, et al. Trap characteristics with their temperature-dependence of silicone elastomer for encapsulation in SiC devices[J]. High Voltage Engineering, 2023, 49(2):

577-587.

[10] 王争东，罗　盟，成永红. 高压大功率 IGBT 失效机理和耐高温改性有机硅灌封材料研究综述[J]. 高电压技术，2023，49(4)：1632-1644.
WANG Zhengdong, LUO Meng, CHENG Yonghong. Review of research on failure mechanism of high voltage and high power IGBT and modified silicone potting materials with high temperature resistance[J]. High Voltage Engineering, 2023, 49(4): 1632-1644.

[11] 刘　平，李海鹏，苗轶如，等. 基于内置温度传感器的碳化硅功率模块结温在线提取方法[J]. 电工技术学报，2021，36(12)：2522-2534.
LIU Ping, LI Haipeng, MIAO Yiru, et al. Online junction temperature extraction for SiC module based on built-in temperature sensor[J]. Transactions of China Electrotechnical Society, 2021, 36(12): 2522-2534.

[12] 盛　况，郭　清，张军明，等. 碳化硅电力电子器件在电力系统的应用展望[J]. 中国电机工程学报，2012，32(30)：1-7.
SHENG Kuang, GUO Qing, ZHANG Junming, et al. Development and prospect of SiC power devices in power grid[J]. Proceedings of the CSEE, 2012, 32(30): 1-7.

[13] 庄桂元，张　兴，刘　威，等. 带飞跨电容的三电平拓扑中 SiC MOSFET 过电压与过电流保护[J]. 电工技术学报，2021，36(2)：341-351.
ZHUANG Guiyuan, ZHANG Xing, LIU Wei, et al. Overvoltage and overcurrent protection of SiC MOSFET in three-level topology with flying capacitor[J]. Transactions of China Electrotechnical Society, 2021, 36(2): 341-351.

[14] 蔡雨萌，赵志斌，徐子珂，等. 阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的误差分析及调控方法[J]. 电工技术学报，2022，37(12)：3016-3027，3037.
CAI Yumeng, ZHAO Zhibin, XU Zike, et al. Error analysis and regulation method of impedance analyzer in measuring split C-V characteristics of power MOSFET device[J]. Transactions of China Electrotechnical Society, 2022, 37(12): 3016-3027, 3037.

[15] 余宝伟，郭希铮，部旭聪，等. 全碳化硅辅助变流器功率回路振荡问题[J]. 电工技术学报，2021，36(增刊 2)：619-626.
YU Baowei, GUO Xizheng, BU Xucong, et al. Oscillation of power circuit of full SiC auxiliary converter[J]. Transactions of China Electrotechnical Society, 2021, 36(Supplement 2): 619-626.

[16] ZHAO B, SUN P, YU Q P, et al. Chip screening method for suppressing current imbalance of parallel-connected SiC MOSFETs[C] // Proceedings of the 2021 4th International Conference on Energy, Electrical and Power Engineering (CEEPE). Chongqing, China: IEEE, 2021: 19-25.

[17] ZHANG L, YUAN X B, WU X J, et al. Performance evaluation of high-power SiC MOSFET modules in comparison to Si IGBT modules[J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1181-1196.

[18] LUCIA O, SHE X, HUANG A Q. Wide bandgap devices and power conversion systems-Part I[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8190-8192.

[19] CUI Y T, CHINTHAVALI M S, XU F, et al. Characterization and modeling of silicon carbide power devices and paralleling operation[C]//Proceedings of the 2012 IEEE International Symposium on Industrial Electronics. Hangzhou, China: IEEE, 2012: 228-233.

[20] 柯俊吉. 碳化硅 MOSFET 芯片并联电气特性及其调控方法研究[D]. 北京：华北电力大学(北京)，2020.
KE Junji. Electrical characteristics and its control method of paralleled silicon carbide MOSFET chips[D]. Beijing, China: North China Electric Power University (Beijing), 2020.

[21] BOTELER L, URCIUOLI D, OVREBO G, et al. Thermal performance of a dual 1.2 kV, 400 a silicon-carbide MOSFET power module[C] // Proceedings of the 26th Annual IEEE Semiconductor Thermal Measurement and Management Symposium. Santa Clara, USA: IEEE, 2010: 170-175.

[22] HINATA Y, HORIO M, IKEDA Y, et al. Full SiC power module with advanced structure and its solar inverter application[C] // Proceedings of the 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC). Long Beach, USA: IEEE, 2013: 604-607.

[23] FRIEDRICHS P. SiC power devices - Recent and upcoming developments[C] // Proceedings of the 2006 IEEE International Symposium on Industrial Electronics. Montreal, Canada: IEEE, 2006: 993-997.

[24] PEFTITSIS D, BABURSKE R, RABKOWSKI J, et al. Challenges regarding parallel-connection of SiC JFETs[C]//8th International Conference on Power Electronics - ECCE Asia. Jeju, Korea (South): IEEE, 2011: 1095-1101.

[25] LI H L, ZHOU W, WANG X F, et al. Influence of paralleling dies and paralleling half-bridges on transient current distribution in multichip power modules[J]. IEEE Transactions on Power Electronics, 2018, 33(8): 6483-6487.

[26] KE J J, ZHAO Z B, SUN P, et al. New screening method for improving transient current sharing of paralleled SiC MOSFETs[C] // Proceedings of the 8th International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia). Niigata, Japan: IEEE, 2018: 1125-1130.

[27] DU M, DING X F, GUO H, et al. Transient unbalanced current analysis and suppression for parallel-connected silicon carbide MOSFETs[C] // Proceedings of the 2014 IEEE Conference and Expo Transportation Electrification Asia-Pacific (ITEC Asia-Pacific). Beijing, China: IEEE, 2014: 1-4.

[28] SADIK D P, COLMENARES J, PEFTITSIS D, et al. Experimental investigations of static and transient current sharing of parallel-connected silicon carbide MOSFETs[C] // Proceedings of the 2013 15th European Conference on Power Electronics and Applications (EPE). Lille, France: IEEE, 2013: 1-10.

[29] LI H L, MUNK-NIELSEN S, PHAM C, et al. Circuit mismatch influence on performance of paralleling silicon carbide MOSFETs[C] // Proceedings of the 2014 16th European Conference on Power Electronics and Applications. Lappeenranta, Finland: IEEE, 2014: 1-8.

[30] FORSYTHE J B. Paralleling of power MOSFETs for higher power output[C] // 1981 Annual Meeting Industry Applications Society. Philadelphia, USA: IEEE, 1981: 777-796.

[31] LI H L, BECZKOWSKI S, MUNK-NIELSEN S, et al. Circuit mismatch and current coupling effect influence on paralleling SiC MOSFETs in multichip power modules[C] // Proceedings of PCIM Europe 2015；International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg,, Germany: IEEE, 2015: 1-8.

[32] 修　强. SiC MOSFET 器件并联均流问题研究[D]. 南京：南京航空航天大学，2020.
XIU Qiang. Study on current sharing in parallel of SiC MOSFET devices[D]. Nanjing, China: Nanjing University of Aeronautics and Astronautics, 2020.

[33] RACITI A, MELITO M, NANIA M, et al. Effects of the device parameters and circuit mismatches on the static and dynamic behavior of parallel connections of silicon carbide MOSFETs[C]//Proceedings of the 10th IEEE Energy Conversion Congress and Exposition (ECCE). Portland, USA: IEEE, 2018: 1846-1852.

[34] ABUOGO J, ZAO Z B, KE J J. Linear regression model for screening SiC MOSFETs for paralleling to minimize transient current imbalance[J]. IOP Conference Series: Materials Science and Engineering, 2019, 533: 012011.

[35] BERTELSHOFER T, MARZ A, BAKRAN M M. Derating of parallel SiC MOSFETs considering switching imbalances[C]// PCIM Europe 2018；International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg, Germany: VDE, 2018: 1-8.

[36] MCCRORY D J, ANDERS M A, RYAN J T, et al. Wafer-level electrically detected magnetic resonance: magnetic resonance in a probing station[J]. IEEE Transactions on Device and Materials Reliability, 2018, 18(2): 139-143.

[37] KE J J, ZHAO Z B, SUN P, et al. Influence of device parameters spread on current distribution of paralleled silicon carbide MOSFETs[J]. Journal of Power Electronics, 2019, 19(4): 1054-1067.

[38] 李晓玲，曾　正，陈　昊，等. SiC、Si、混合功率模块封装对比评估与失效分析[J]. 中国电机工程学报，2018，38(16)：4823-4835.
LI Xiaoling, ZENG Zheng, CHEN Hao, et al. Comparative package evaluation and failure mode analysis of SiC, Si, and hybrid power modules[J]. Proceedings of the CSEE, 2018, 38(16): 4823-4835.

[39] RICCIO M, BORGHESE A, ROMANO G, et al. Analysis of device and circuit parameters variability in SiC MOSFETs-based multichip power module[C]// Proceedings of the 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe). Riga, Latvia: IEEE, 2018: 1-9.

[40] BORGHESE A, RICCIO M, FAYYAZ A, et al. Statistical analysis of the electrothermal imbalances of mismatched parallel SiC power MOSFETs[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1527-1538.

[41] WANG G Y, MOOKKEN J, RICE J, et al. Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled applications[C]// Proceedings of the 29th IEEE Applied Power Electronics Conference and Exposition-APEC 2014. Fort Worth, USA: IEEE, 2014: 1478-1483.

[42] 柯俊吉，赵志斌，孙　鹏，等. 器件参数对 SiC MOSFET 并联均流影响的统计分析[J]. 半导体技术，2018，43(3)：181-187.
KE Junji, ZHAO Zhibin, SUN Peng, et al. Influence of devices parameters on the current sharing of paralleled SiC MOSFETs using statistics analysis[J]. Semiconductor Technology, 2018, 43(3): 181-187.

[43] 王　岩，隋思涟. 试验设计与 MATLAB 数据分析[M]. 北京：清华大学出版社，2012：10-12.
WANG Yan, SUI Silian. Experimental design and MATLAB data analysis[M]. Beijing, China: Tsinghua University Press, 2012: 10-12.

[44] 孙　鹏，魏昌俊，柯俊吉，等. 器件特性参数对 SiC MOSFET 静动态均流影响的实验研究[J]. 智能电网，2017，5(8)：757-764.
SUN Peng, WEI Changjun, KE Junji, et al. Experimental investigations of the influences of characteristic parameters on static and dynamic current sharing of SiC MOSFET[J]. Smart Grid, 2017, 5(8): 757-764.

[45] BALIGA B J. Fundamentals of power semiconductor devices[M]. New York, USA: Springer, 2008.

[46] CASTELLAZZI A, JOHNSON M, PITON M, et al. Experimental analysis and modeling of multi-chip IGBT modules short-circuit behavior[C]// Proceedings of the 2009 IEEE 6th International Power Electronics and Motion Control Conference. Wuhan, China: IEEE, 2009: 285-290.

[47] CHEN K N, ZHAO Z M, YUAN L Q, et al. The impact of nonlinear junction capacitance on switching transient and its modeling for SiC MOSFET[J]. IEEE Transactions on Electron Devices, 2015, 62(2): 333-338.

[48] ZHAO C, WANG L L, ZHANG F. Effect of asymmetric layout and unequal junction temperature on current sharing of paralleled SiC MOSFETs with kelvin-source connection[J]. IEEE Transactions on Power Electronics, 2020, 35(7): 7392-7404.

[49] MUDHOLKAR M, AHMED S, ERICSON M N, et al. Datasheet driven silicon carbide power MOSFET model[J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2220-2228.

[50] KE J J, HUANG H Z, SUN P, et al. Influence of parasitic capacitances on transient current distribution of paralleled SiC MOSFETs[C]// Proceedings of the 1st Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). Xi'an, China: IEEE, 2018: 1-6.

[51] QIN H L, ZHANG Y, ZHU Z Y, et al. Influences of circuit mismatch on paralleling silicon carbide MOSFETs[C]//Proceedings of the 12th IEEE Conference on Industrial Electronics and Applications (ICIEA), Siem Reap, Cambodia: IEEE, 2017: 556-561.

[52] 黄华震，柯俊吉，孙　鹏，等. 寄生电感不匹配对 SiC MOSFET 并联电流分配的影响[J]. 半导体技术，2018，43(11)：833-840.
HUANG Huazhen, KE Junji, SUN Peng, et al. Influence of parasitic inductance mismatch on the parallel SiC MOSFETs current distribution[J]. Semiconductor Technology, 2018, 43(11): 833-840.

[53] LI H L, MUNK-NIELSEN S, WANG X F, et al. Influences of device and circuit mismatches on paralleling silicon carbide MOSFETs[J]. IEEE Transactions on Power Electronics, 2016, 31(1): 621-634.

[54] ZHAO B, KE J J, YU Q P, et al. Effect of common branch impedance coupling and mutual inductance on current sharing of paralleled SiC MOSFETs with different layouts[J]. IET Power Electronics, 2022, 15(1): 43-56.

[55] 张永刚. 碳化硅 MOSFET 并联主动均流的研究[D]. 天津：天津工业大学，2021.
ZHANG Yonggang. Study on parallel active current sharing of Silicon Carbide MOSFET[D]. Tianjin, China: Tianjin University of Technology, 2021.

[56] REN Y, YANG X, ZHANG F, et al. Voltage suppression in wire-bond-based multichip phase-leg SiC MOSFET module using adjacent decoupling concept[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8235-8246.

[57] WEN Y, YANG Y, GAO Y. Active gate driver for improving current sharing performance of paralleled high-power SiC MOSFET modules[J]. IEEE Transactions on Power Electronics, 2021, 36(2): 1491-1505.

[58] LI H L, MUNK-NIELSEN S, WANG X F, et al. Effects of auxiliary-source connections in multichip power module[J]. IEEE Transactions on Power Electronics, 2017, 32(10): 7816-7823.

[59] ZHANG H R, KE J J, PENG J Y, et al. Influence of parasitic coupling on current sharing in paralleled SiC MOSFET devices[J]. IET Power Electronics, 2022, 15(11): 1075-1092.

[60] BAKER N, IANNUZZO F, Li H L. Impact of kelvin-source resistors on current sharing and failure detection in multichip power modules[C]// 2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe). Riga, Latvia: IEEE, 2018: 1-7.

[61] ZHAO B, YU Q P, SUN P, et al. Device screening strategy for suppressing current imbalance in parallel-connected SiC MOSFETs[J]. IEEE Transactions on Device and Materials Reliability, 2021, 21(4): 556-568.

[62] JORDAN J, MAGRANER J M, CASES C, et al. Turn on switching losses analysis for Si and SiC diodes in induction heating inverters[C]// Proceedings of the 13th European Conference on Power Electronics and Applications. Barcelona, Spain: IEEE, 2009: 1-9.

[63] KE J J, ZHAO Z B, SUN P, et al. Chips classification for suppressing

transient current imbalance of parallel-connected silicon carbide MOSFETs[J]. IEEE Transactions on Power Electronics, 2020, 35(4): 3963-3972.

[64] ABUOGO J O, ZHAO Z B. Machine learning approach for sorting SiC MOSFET devices for paralleling[J]. Journal of Power Electronics, 2020, 20(1): 329-340.

[65] 盛 况，董泽政，吴新科. 碳化硅功率器件封装关键技术综述及展望[J]. 中国电机工程学报，2019，39(19)：5576-5584.
SHENG Kuang, DONG Zezheng, WU Xinke. Review and prospect of key packaging technologies for silicon carbide power devices[J]. Proceedings of the CSEE, 2019, 39(19): 5576-5584.

[66] 邵伟华，冉 立，曾 正，等. 基于优化对称布局的多芯片 SiC 模块动态均流[J]. 中国电机工程学报，2018，38(6)：1826-1836.
SHAO Weihua, RAN Li, ZENG Zheng, et al. Dynamic current sharing of multichip SiC module with optimal symmetric layout[J]. Proceedings of the CSEE, 2018, 38(6): 1826-1836.

[67] 余秋萍，赵志斌，赵 斌，等. 多芯片 SiC 功率模块布局优化[J]. 半导体技术，2021，46(12)：978-985.
YU Qiuping, ZHAO Zhibin, ZHAO Bin, et al. Layout optimization of multi-chip SiC power module[J]. Semiconductor Technology, 2021, 46(12): 978-985.

[68] ZHAO B, SUN P, YU Q P, et al. Layout-dominated dynamic imbalanced current analysis and its suppression strategy of parallel SiC MOSFETs[J]. IEEE Transactions on Device and Materials Reliability, 2021, 21(3): 394-404.

[69] WANG M, LUO F, XU L Y. A double-end sourced wire-bonded multichip SiC MOSFET power module with improved dynamic current sharing[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2017, 5(4): 1828-1836.

[70] LI H L, MUNK-NIELSEN S, BECZKOWSKI S, et al. A novel DBC layout for current imbalance mitigation in SiC MOSFET multichip power modules[J]. IEEE Transactions on Power Electronics, 2016, 31(12): 8042-8045.

[71] KE J J, HUANG S, YUAN Z, et al. Investigation of low-profile, high-performance 62-mm SiC power module package[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(4): 3850-3866.

[72] ZHAO C, WANG L L, ZHANG F, et al. A method to balance dynamic current of paralleled SiC MOSFETs with kelvin connection based on response surface model and nonlinear optimization[J]. IEEE Transactions on Power Electronics, 2021, 36(2): 2068-2079.

[73] LV J W, ZHANG C, CHEN C, et al. A dynamic current sharing method in multi-chip SiC power module using stacked DBC bridges and decoupling capacitors based on the original simple module layout[C]// Proceedings of the 2021 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). Wuhan, China: IEEE, 2021: 184-188.

[74] WANG L L, ZHANG T Y, YANG F T, et al. Cu clip-bonding method with optimized source inductance for current balancing in multichip SiC MOSFET Power module[J]. IEEE Transactions on Power Electronics, 2022, 37(7): 7952-7964.

[75] XUE Y, LU J J, WANG Z Q, et al. Active compensation of current unbalance in paralleled silicon carbide MOSFETs[C]// Proceedings of the 29th IEEE Applied Power Electronics Conference and Exposition-APEC 2014. Fort Worth, USA: IEEE, 2014: 1471-1477.

[76] XUE Y, LU J J, WANG Z Q, et al. Active current balancing for parallel-connected silicon carbide MOSFETs[C]// Proceedings of the 2013 IEEE Energy Conversion Congress and Exposition. Denver, USA: IEEE, 2013: 1563-1569.

[77] AO J H, WANG Z, CHEN J, et al. The cost-efficient gating drivers with master-slave current sharing control for parallel SiC MOSFETs[C]// Proceedings of the 2018 IEEE Transportation Electrification Conference and Expo, Asia-Pacific (ITEC Asia-Pacific). Bangkok, Thailand: IEEE, 2018: 1-5.

[78] 赵 斌，柯俊吉，孙 鹏，等. 公共支路阻抗耦合对碳化硅 MOSFET 器件并联电流分配的影响及优化[J]. 中国电机工程学报，2022，42(7)：2638-2650.
ZHAO Bin, KE Junji, SUN Peng, et al. Influence and optimization of common branch impedance coupling on current sharing of paralleled SiC MOSFETs[J]. Proceedings of the CSEE, 2022, 42(7): 2638-2650..

[79] 朱梓悦，秦海鸿，潘国威，等. SiC MOSFET 并联动态电流不均衡的无源补偿策略[J]. 半导体技术，2021，46(9)：712-718.
ZHU Ziyue, QIN Haihong, PAN Guowei, et al. Passive compensation strategy of imbalanced dynamic current in paralleled SiC MOSFETs[J]. Semiconductor Technology, 2021, 46(9): 712-718.

[80] ZENG Z, ZHANG X, ZHANG Z. Imbalance current analysis and its suppression methodology for parallel SiC MOSFETs with aid of a differential mode choke[J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1508-1519.

[81] LIU J Y, ZHENG Z D. Switching current imbalance mitigation for paralleled SiC MOSFETs using common-mode choke in gate loop[C]// Proceedings of the 2020 IEEE Energy Conversion Congress and Exposition (ECCE). Detroit, USA: IEEE, 2020: 705-710.

[82] 曾 正，邵伟华，胡博容，等. 基于耦合电感的 SiC MOSFET 并联主动均流[J]. 中国电机工程学报，2017，37(7)：2068-2080.
ZENG Zheng, SHAO Weihua, HU Borong, et al. SiC MOSFET parallel active current sharing based on coupled inductance[J]. Proceedings of the CSEE, 2017, 37(7): 2068-2080.

[83] 王来利，杨俊辉，赵 成，等. 一种基于 SiC MOSFET 的 1000 A 大容量半桥功率模块及制作工艺[P]. 陕西省：CN114695295A，2022-07-01.
WANG Laili, YANG Junhui, ZHAO Cheng, et al. A 1000 A large-capacity half-bridge power module based on SiC MOSFET and its manufacturing process[P]. Shaanxi, China: CN114695295A, 2022-07-01.



赵志斌
1977—，男，博士，教授，博导
主要从事电磁场数值计算、高压大功率电力电子器件封装与测试方面的研究工作
E-mail: zhibinzhao@ncepu.edu.cn

ZHAO Zhibin
Ph.D., Professor



孙 鹏(通信作者)
1994—，男，博士，讲师
主要从事高压大功率电力电子器件封装、测试与状态监测方面的研究工作
E-mail: sunpeng@ncepu.edu.cn

SUN Peng
Ph.D.
Corresponding author

收稿日期 2023-04-13 修回日期 2023-07-13 编辑 陈 蔓